

УДК 681.32

DOI: 10.15593/2224-9397/2021.2.06

А.В. Греков

Пермский военный институт войск национальной гвардии, Пермь, Россия

ОБЕСПЕЧЕНИЕ ВЫСОКОЙ НАДЕЖНОСТИ ПЛИС ДЛЯ АППАРАТУРЫ КРИТИЧЕСКОГО ПРИМЕНЕНИЯ НА ОСНОВЕ ГИБРИДНОЙ ИЗБЫТОЧНОСТИ

Рассмотрено комбинированное резервирование логических элементов программируемых логических интегральных схем (ПЛИС) для обеспечения высокой надежности цифровой аппаратуры критического применения. С учетом ограничений Мида–Конвея по количеству последовательно соединенных транзисторов показано, что глубокое мажоритирование с частичным расчленением является более предпочтительным по сравнению с чистым резервированием. В случае жестких ограничений по времени задержки наиболее эффективным будет являться мажоритирование в сочетании с расчленением. Представленные расчеты целесообразно выполнять в предлагаемой опции «Анализ надёжности» САПР Quartus фирмы Intel. Наиболее целесообразно использовать транзисторное резервирование в мажоритарных схемах, схемах сравнения по модулю два в дублированных системах, диагностических и конфигурационных контроллерах. В оперативных запоминающих устройствах (LUT) транзисторное резервирование рекомендуется в выходных каскадах, чтобы при отказе одной половины информация передавалась на выход для использования хотя бы части функциональности. Часть LUT небольшой разрядности целесообразно полностью охватить транзисторным резервированием, чтобы использовать их в качестве эталона, например, в диагностических процедурах. **Цель исследования:** экспериментальное подтверждение концепции и теоретических основ масштабирования надёжности ПЛИС на основе гибридной избыточности. **Методы:** теория вероятностей, комбинирование избыточности, синтез масштабируемой по надёжности архитектуры логики ПЛИС. **Результаты:** методика масштабирования элементов ПЛИС по заданным требованиям позволяет создавать структурную схему надежности с различными вариантами отказоустойчивости, и выбрать вариант, удовлетворяющий заданным требованиям. **Практическая значимость:** полученные оценки сложности в количестве транзисторов позволяют рассчитывать вероятность безотказной (бесбойной) работы и другие показатели надёжности ПЛИС.

Ключевые слова: транзисторное резервирование, ПЛИС, гибридная избыточность, надёжность.

A.V. Grekov

Perm Military Institute of National Guard Troops, Perm, Russian Federation

PROVIDING HIGH RELIABILITY OF FPGAs FOR CRITICAL APPLICATIONS BASED ON HYBRID REDUNDANCY

Combined redundancy of logic elements of programmable logic integrated circuits (FPGA) is considered to ensure high reliability of digital equipment for critical applications. Considering Mead-Conway's limitations on the number of transistors connected in series, it is shown that deep majority with partial drilling is preferable to pure redundancy. In the case of strict restrictions on the delay time, majority voting in combination with calculation will be most effective. It is advisable to perform the presented calculations in the proposed option "Reliability Analysis" of CAD Quartus from Intel. It is most expedient to use transistor redundancy in majority circuits, comparison circuits modulo two in duplicated systems, diagnostic and configuration controllers. In random access memory (LUT), transistor redundancy is recommended in the output stages so that if one half fails, the information is transmitted to the output to use at least part of the functionality. It is advisable to completely cover a part of LUTs of small capacity with transistor redundancy in order to use them as a reference, for example, in diagnostic procedures. **Purpose of the study:** experimental confirmation of the concept and theoretical foundations of scaling the reliability of FPGAs. **Methods:** probability theory, combining redundancy, synthesis of a reliability-scalable FPGA logic architecture. **Results:** the method of scaling the FPGA elements according to the specified requirements allows you to create a structural diagram of reliability with various options for fault tolerance, and select an option that meets the specified requirements. **Practical significance:** the obtained estimates of the complexity in the number of transistors make it possible to calculate the probability of no-failure (trouble-free) operation and other indicators of the FPGA reliability.

Keywords: Transistor Redundancy, FPGA, Hybrid Redundancy, Reliability.

Введение

События последних лет показывают, что научные исследования по обеспечению высокой надёжности цифровой аппаратуры при работе не только в жёстких условиях эксплуатации (в том числе в условиях техногенных и природных катастроф), но и в условиях так называемых специальных внешних воздействующих факторов (СВВФ) [1] крайне актуальны. Эта область, помимо прочего, становится теперь еще и разновидностью информационной безопасности в связи с тем, что СВВФ могут привести к нарушению целостности информации, в том числе в важных хозяйственных, государственных и оборонных объектах, в специальной аппаратуре и технических средствах. Причем речь теперь идет не просто о кибератаках, компьютерных вирусах, о которых часто сообщают в СМИ, но и о возрастающих возможностях средств электронного «поражения» цифровой аппаратуры не летальными для человека средствами. В таких условиях необходимо принимать такие «авральные» меры повышения надежности, которые раньше считались

избыточными, в том числе и для ПЛИС. В этом плане представляется перспективным подход, сочетающий как традиционные средства защиты от СВВФ: отключение питания на период воздействия, экранирование, каналное резервирование, так и резервирование на наноуровне, транзисторное резервирование (ТР) и комбинированное или гибридное резервирование [2–5]. Целью исследования является экспериментальное подтверждение концепции и теоретических основ масштабирования надёжности ПЛИС на основе гибридной избыточности.

Следует отметить, что резервирование транзисторов по И: (x_1x_2) , ИЛИ: $(x_1 \vee x_2)$ не позволяет сохранять требуемую логическую функцию при одном отказе или сбое (в данном случае функцию повторения x), поскольку, например, при $x_1 = 0, (x_1x_2) = 0$; а при $x_1 = 1, (x_1 \vee x_2) = 1$. Резервирование по мажоритарной функции $[x_1x_2 \vee x_3(x_4 \vee x_5)]$ позволяет сохранить функцию повторения x , но требует большего числа транзисторов, чем так называемая функционально-полная толерантная (ФПТ) функция [6–8]: пять против четырёх. Соответственно, при $[x_1x_2 \vee x_3(x_4 \vee x_5)]$ парируется один отказ (сбой) из пяти, а при ФПТ – один из четырёх.

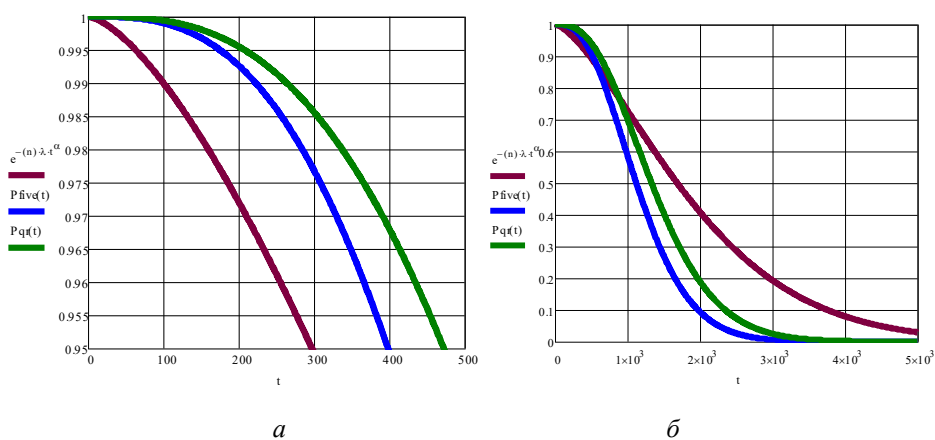


Рис. 1. Графики изменения вероятностей безотказной (бессбойной) работы при $\lambda = 10^{-5} \text{ ч}^{-1}$ одного транзистора без резервирования $e^{-(n)\lambda t^\alpha}$, резервированного транзистора по мажоритарной функции $[x_1x_2 \vee x_3(x_4 \vee x_5)]P_{five}(t)$, резервированного транзистора по ФПТ функции $(x_1x_2 \vee x_3x_4)P_{qr}(t)$:
 а – в диапазоне $1 \dots 0,95$; б – в диапазоне $1 \dots 0$

Графики (рис. 1, а) с использованием модели Вейбулла [9] подтверждают лучшие результаты по вероятности безотказной работы [10, 11] с учетом данных [12] ФПТ функции $(x_1 x_2 \vee x_3 x_4) P_{qr}(t)$.

Причем и эта функция становится ниже $e^{-(n)\lambda \cdot t^\alpha}$ при вероятности порядка 0,75, но это только относительно одного транзистора. Далее рассмотрим ТР для большего числа n . Транзисторное резервирование требует соблюдения ограничений по числу последовательно соединенных транзисторов [13]: не более четырех, но, как правило, в ПЛИС ограничиваются тремя передающими транзисторами, после них обязательно ставится восстановитель уровня сигнала. Поэтому часто бывает необходима декомпозиция исходной схемы. Исследуем варианты гибридного [6] резервирования для троирования и расчетверения.

Гибридное резервирование: комбинирование троирования и расчетверения

В табл. 1 приведены исследованные варианты комбинирования избыточности.

Таблица 1

Аппаратные и временные затраты QR/TMR и гибридное HR

№	Вероятность безотказной (бесбойной) работы	Условные затраты в транзисторах	Условное время задержки	Формула
1	P_{tmr}	$3n+12$	τ_n+2	$P_{tmr} = (3 \cdot e^{-2(n)\lambda \cdot t^\alpha} - 2 \cdot e^{-3(n)\lambda \cdot t^\alpha}) e^{-(12)\lambda \cdot t^\alpha}$
2	P_{tmr3}	$3n+36$	τ_n+2	$P_{tmr3} = (3 \cdot e^{-2(n)\lambda \cdot t^\alpha} - 2 \cdot e^{-3(n)\lambda \cdot t^\alpha}) \times$ $\times (3 \cdot e^{-2(12)\lambda \cdot t^\alpha} - 2 \cdot e^{-3(12)\lambda \cdot t^\alpha})$
3	P_{dt}	$3n+36k$	τ_n+2k	$P_{dt} = [3e^{-2n\frac{\lambda}{k}t^\alpha} - 2e^{-3n\frac{\lambda}{k}t^\alpha}]^k \times$ $\times [3e^{-2 \cdot 12\lambda t^\alpha} - 2e^{-3 \cdot 12\lambda t^\alpha}]^k$
4	P_{qr}	$4n$	$2\tau_n$	$P(t)_{qr} = [e^{-4\lambda t^\alpha} + 4 \cdot e^{-3\lambda t^\alpha} (1 - e^{-\lambda t^\alpha})]^n$
5	P_{tmr34}	$3n+48$	τ_n+4	$P_{tmr34} = (3 \cdot e^{-2(n)\lambda \cdot t^\alpha} - 2 \cdot e^{-3(n)\lambda \cdot t^\alpha}) \times$ $\times [e^{-4\lambda \cdot t^\alpha} + 4 \cdot e^{-3\lambda \cdot t^\alpha} (1 - e^{-\lambda \cdot t^\alpha})]^{12}$

Окончание табл. 1

№	Вероятность безотказной (бесбойной) работы	Условные затраты в транзисторах	Условное время задержки	Формула
6	P_{tmr34g}	$3n(1-r)+4nr+48$	$\tau_{n(1-r)}+2\tau_{nr}+4$	$P_{tmr34g} = (3 \cdot e^{-2(n-rm)\lambda t^\alpha} - 2 \cdot e^{-3(n-rm)\lambda t^\alpha}) \times [e^{-4\lambda t^\alpha} + 4 \cdot e^{-3\lambda t^\alpha} (1 - e^{-\lambda t^\alpha})]^{12+rn}$
7	P_{digr}	$3n(1-r)+4nr+48k$	$\tau_{n(1-r)}+2\tau_{nr}+4k$	$P_{digr} = [3e^{-2n\frac{\lambda}{k}t^\alpha} - 2e^{-3n\frac{\lambda}{k}t^\alpha}]^{k-kr} \times [3e^{-2\cdot 12\lambda t^\alpha} - 2e^{-3\cdot 12\lambda t^\alpha}]^{k-kr} \times [e^{-4\lambda t^\alpha} + 4 \cdot e^{-3\lambda t^\alpha} (1 - e^{-\lambda t^\alpha})]^{nr}$
8	$P_{ig(t)}$	$12n+48$	$2\tau_n+2$	$P_{ig(t)} = (3 \cdot e^{-2[\frac{\ln(e^{-4\lambda t^\alpha} + 4e^{-3\lambda t^\alpha} (1 - e^{-\lambda t^\alpha}))]}{t^\alpha}]^n} - 2 \cdot e^{-3[\frac{\ln(e^{-4\lambda t^\alpha} + 4e^{-3\lambda t^\alpha} (1 - e^{-\lambda t^\alpha}))]}{t^\alpha}]^n}) \times [e^{-4\lambda t^\alpha} + 4 \cdot e^{-3\lambda t^\alpha} (1 - e^{-\lambda t^\alpha})]^{12}$
9	$P_{tmr34gt}$	$12n(1-r)+4nr+48$	$2\tau_{n(1-r)}+2\tau_{nr}+4$	$P_{tmr34gt} = (3 \cdot e^{-2\{(n-rm)\lambda - \frac{\ln(e^{-4\lambda t^\alpha} + 4e^{-3\lambda t^\alpha} (1 - e^{-\lambda t^\alpha}))]}{t}\}^n} - 2 \cdot e^{-3\{(n-rm)\lambda - \frac{\ln(e^{-4\lambda t^\alpha} + 4e^{-3\lambda t^\alpha} (1 - e^{-\lambda t^\alpha}))]}{t}\}^n}) \times [e^{-4\lambda t^\alpha} + 4 \cdot e^{-3\lambda t^\alpha} (1 - e^{-\lambda t^\alpha})]^{12}$

Сравнение вероятности безотказной работы исходной схемы и TMR, TMR3, QR показано на рис. 2, а, б. На рис. 2, в, г графически проиллюстрировано преимущество QR при увеличении числа транзисторов n . Увеличение вероятности безотказной работы за счет использования гибридного резервирования продемонстрировано на рис. 2, д, е. Удельная вероятность Ψ_{P_ξ} вычисляется с учетом дополнительной сложности в количестве транзисторов, приведенной в табл. 1.

$$\Psi_{P_\xi} = \frac{P_\xi - e^{-n\lambda t^\alpha}}{\delta n}. \tag{1}$$

Как видно из рис. 2, а, б, в случае небольшого количества транзисторов TMR хуже, чем у нерезервированной схемы. TMR выигрывает только до 0,99 ($n = 2, t = 60$), а затем становится ниже, чем схема без резервирования. В то же время QR лучше любого TMR, однако тоже падает ниже после вероятности примерно 0,6 ($t \approx 800$). При увеличении n (20...100) QR выигрывает на всем временном интервале (см. рис. 2, в, г).

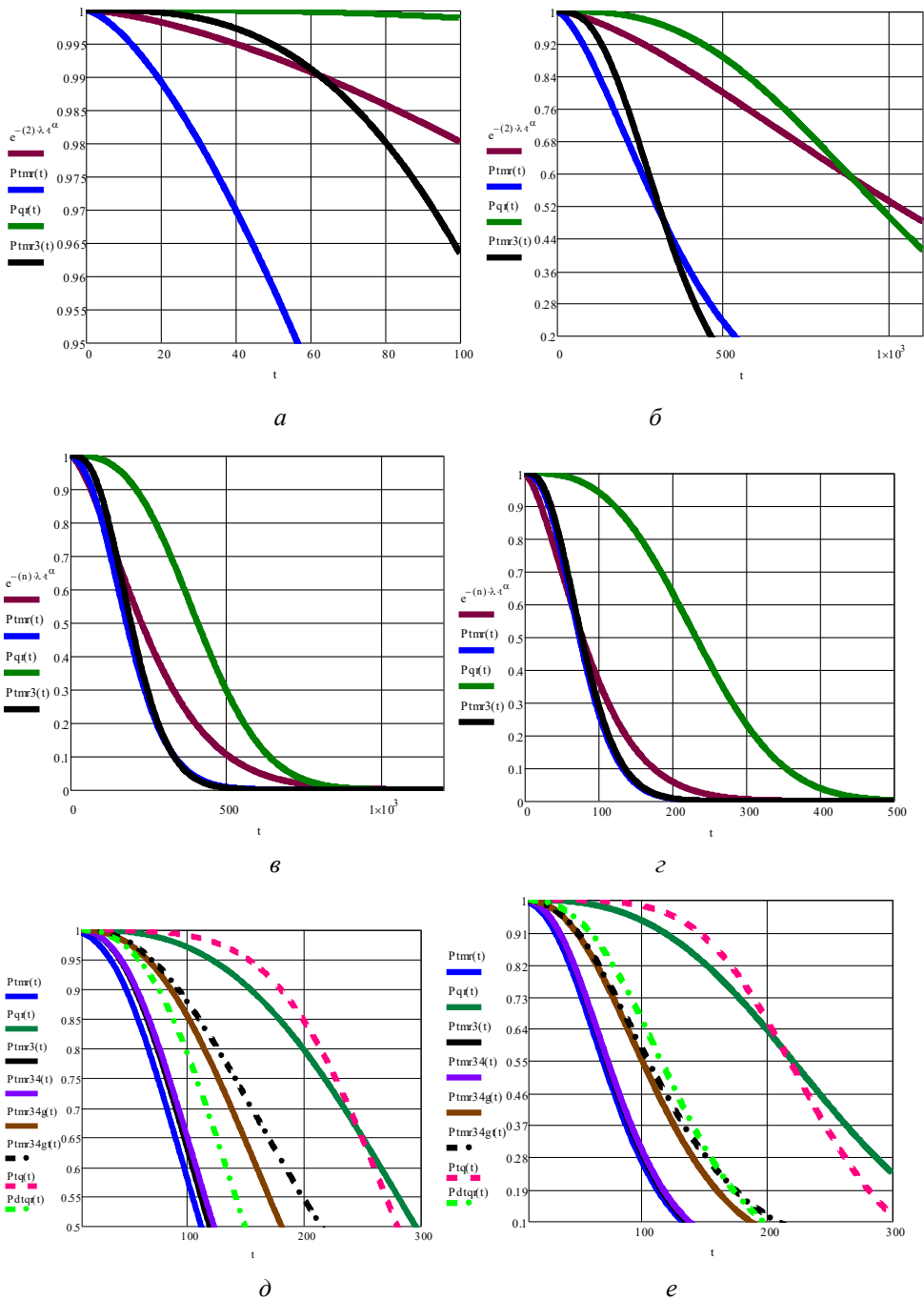


Рис. 2. Вероятность безотказной работы в зависимости от сложности в виде количества транзисторов n и времени t : мажоритирование TMR, расчетверение QR, гибридное резервирование HR: *a* – $n=2, t=0 \dots 100$; *б* – $n=2; t=0 \dots 1000$; *в* – $n=20$; *г* – $n=100$; *д* – $n=50$; $r=0,5; k=10$; *e* – $n=100; r=0,4; k=7$; *ж* – $t=50; r=0,7; k=10$; *з* – $t=10; r=0,5; k=7$

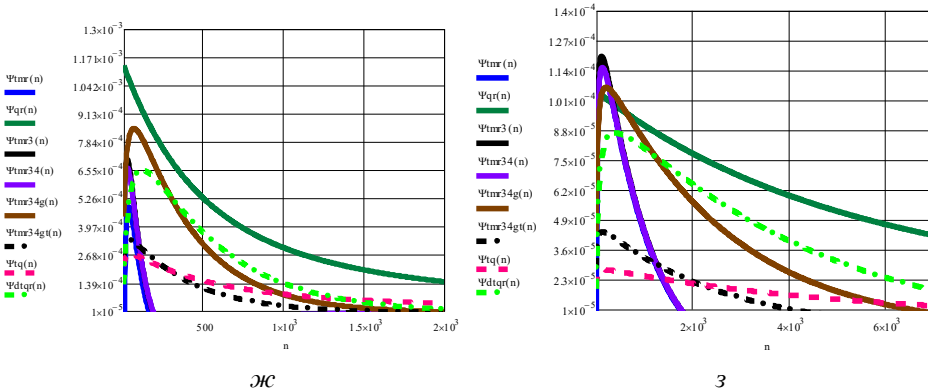


Рис. 2. Окончание

Непосредственное введение QR в логические элементы возможно только для двухместных операций, а для реализации остальных необходима декомпозиция логических элементов, что увеличивает сложность и задержку. Целесообразно использовать TP базового элемента ПЛИС на одну переменную 1-LUT.

Расчетверение как вариант TP позволяет добиться максимальной надежности (см. рис. 2, д, е), но для этого требуется очень большая избыточность (см. табл. 1).

Расчетверение «не дороже», чем утроение КМОП (см. табл. 1) при большом количестве выходов m , так как каждый из них должен иметь мажоритар TMR Voter (12 транзисторов).

Например, 2NOR (2NAND) имеет $n = 4$, поэтому получаем 16 транзисторов (QR) против 24 (TMR). При этом временная задержка TMR 2NOR (2NAND) в количестве транзисторов равна пяти, временная задержка QR 2NOR (2NAND) равна четырем. Таким образом, при малом n есть преимущество с точки зрения сложности и задержки даже при малом числе выходов. Однако TMR, в отличие от QR, учитывает выход из строя одного из трех источников питания, а еще QR может подключать один резервный источник питания [14]. Легко видеть, что избыточность на уровне схемы (и тем более на уровне канала) хуже, чем резервирование на уровне отдельных транзисторов.

Для расчетверения каналов потребуется ФПТ-элемент для голосования. Очевидно, что расчетверение транзисторов лучше расчетверения цепей (2) или каналов (3).

$$P(t)_{4-circuit} = [e^{-4 \cdot n \lambda \cdot t^\alpha} + 4 \cdot e^{-3 \cdot n \lambda \cdot t^\alpha} (1 - e^{-n \lambda \cdot t^\alpha})]. \quad (2)$$

$$P(t)_{4-channel} = [e^{-4 \cdot n \lambda \cdot t^\alpha} + 4 \cdot e^{-3 \cdot n \lambda \cdot t^\alpha} (1 - e^{-n \lambda \cdot t^\alpha})] \times [e^{-4 \cdot \lambda \cdot t^\alpha} + 4 \cdot e^{-3 \cdot \lambda \cdot t^\alpha} (1 - e^{-\lambda \cdot t^\alpha})]. \quad (3)$$

Пример введения гибридной избыточности

Рассмотрим проект, созданный в САПР Quartus фирмы Intel, характеристики которого сведены в табл. 2.

Графики изменения вероятностей безотказной (бесбойной) работы проекта изображены на рис. 3.

Таблица 2

Характеристики проекта на ПЛИС

№ п/п	Наименование	Количество	Сложность в транзисторах	Вероятность безотказной (бесбойной) работы при СВВФ без резервирования, интенсивность отказов (сбоев) одного транзистора $\lambda=10^{-7} \text{ ч}^{-1}$	Достоверность работы при СВВФ: дублирование	Вероятность безотказной (бесбойной) работы при СВВФ: троирование	Вероятность безотказной (бесбойной) работы при СВВФ: расчетное	Примечание
1	4-LUT	1	~500	0,95 на $t=100$	–	–	–	Сложность с учетом SRAM
2	5-LUT	3	~900·3=2700	0,9 каждый на $t=100$	–	–	–	Сложность с учетом SRAM
3	Flip-Flop (Logic Register)	2	22·2=44	0,995 на $t=100$	–	–	–	
4	SRAM	16+32+32+32	Учтено в LUT	Учтено в LUT	–	–	–	Учитываем настройку функций с сложности LUT
5	Buffer	9	9·6=54	0,994 на $t=100$	–	–	–	
6	SRAM	9·8=72	72·6=432	0,96 на $t=100$	–	–	–	Учитываем условную сложность настройки связей по входам-выходам
7	Коммутаторы	9	72	0,993 на $t=100$	–	–	–	Учитываем условную сложность связей по входам-выходам
Итого			3753	на $t=100$ 0,7	на $t=100$ 0,9	на $t=100$ 0,78	на $t=100$ 0,999	
Затраты				3753	7506	11307	15012	

Видно, что при заданных условиях сложность троирования $P_{tmr}(t)$ практически совпадает с троированием и тремя мажоритарми $P_{tmr3}(t)$, а расчетверение $P_{qr}(t)$ дает вероятность, близкую к единице, но и затраты огромные. Дублирование выигрывает у троирования, но они не сравнимы, ибо в случае дублирования имеем не вероятность безотказной (бессбойной) работы, а достоверность функционирования, т.е. получаем систему с активной отказоустойчивостью в отличие от других вариантов. Расчетверение $P_{qr}(t)$ в отличие от рис. 1, б выигрывает на всем интервале вероятностей (см. рис. 3, б).

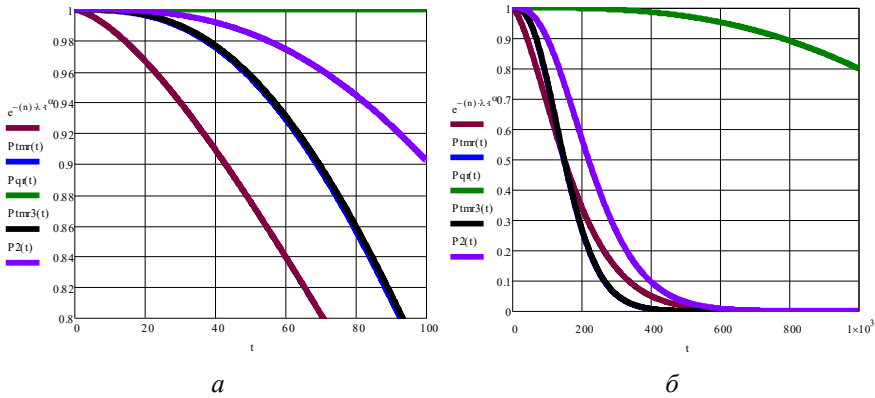


Рис. 3. Графики изменения вероятностей безотказной (бессбойной) работы при $\lambda=10^{-7} \text{ ч}^{-1}$ проекта без резервирования $e^{-(n)\lambda t^\alpha}$, проекта с дублированием $P2(t)$, проекта с троированием $P_{tmr}(t)$, проекта с троированием и тремя мажоритарми по каждому выходу $P_{tmr3}(t)$, проекта с расчетверением транзисторов без учета декомпозиции $P_{qr}(t)$: а – в диапазоне вероятности 1..0,8; б – в диапазоне вероятности 1..0

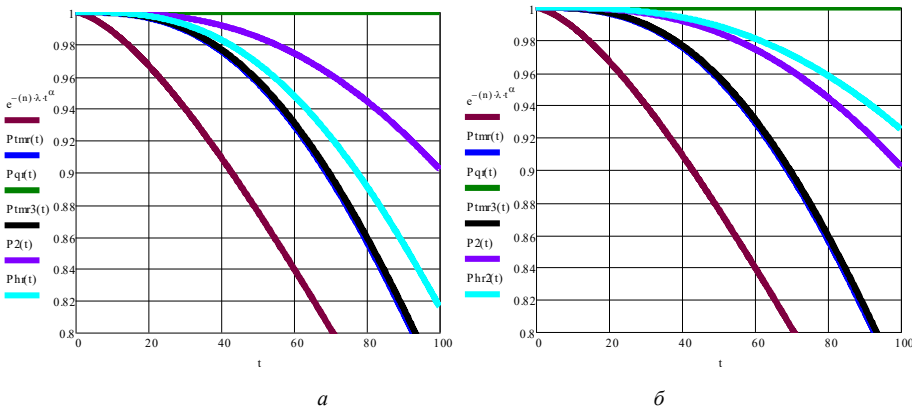


Рис. 4. Графики изменения вероятностей безотказной (бессбойной) работы с учетом гибридного резервирования: а – $P_{hr}(t)$ троировуются LUT в остальных блоках ТР; б – $P_{hr2}(t)$ дублируются LUT в остальных блоках ТР

Выполним гибридное резервирование: мажоритируем только LUT, в остальных блоках применим TP (рис. 4, а). Получаем лучшие результаты, чем у троирования. Аналогично можно улучшить достоверность при дублировании (рис. 4, б). Конкретное соотношение избыточности и структурная схема надёжности (ССН) [11] могут быть определены итеративным путем градиентным или эволюционным методом.

Пример оптимизации вероятности безотказной (бессбойной) работы невосстанавливаемой системы

Для оптимизации с учетом условной стоимости (сложности в количестве транзисторов, площади кристалла, потребляемой мощности, временной задержки и пр.) предлагается использовать средства Microsoft Excel. Результаты использования оптимизации (минимизации) методом обобщенного приведенного градиента (ОПГ) в Microsoft Excel условной стоимости (сложности) некоторого проекта из десяти подсистем при условии достижения заданной вероятности безотказной (бессбойной) работы 0,99 приведены в табл. 3.

Таблица 3

Минимизация методом ОПГ заданной условной стоимости (сложности) проекта при достижении требуемой вероятности безотказной (бессбойной) работы для некоторого значения времени

Структурная схема надежности	P1	P2	P3	P4	P5	P6	P7	P8	P9	P10
	0,9	0,95	0,92	0,98	0,99	0,989	0,998	0,97	0,94	0,93
P	0,999	0,9975	0,999488	0,9996	0,9999	0,999879	0,999996	0,9991	0,9964	0,999657
	W1	W2	W3	W4	W5	W6	W7	W8	W9	W10
Стоимость	16	11	13	12	14	17	10	15	18	19
W_i суммарно	48	22	39	24	28	34	20	30	36	57
$P_{\text{треб}}$	0,99									
$W_{\text{треб}}$	300									
Каналы	n1	n2	n3	n4	n5	n6	n7	n8	n9	n10
	3	2	3	2	2	2	2	2	2	3
P	0,9905541									
W	338									

Таким образом, при заданных условиях следует троировать первую, третью и десятую подсистемы, остальные достаточно за-дублировать.

Пример расчета коэффициента готовности восстанавливаемой системы

Для расчета восстанавливаемой системы (активная отказо- и сбоеустойчивость) также рекомендуется использовать Microsoft Excel. Рассмотрим пример нахождения коэффициента готовности в предлагаемой технологии НР с использованием Excel для случая восстанавливаемой ПЛИС. Граф марковского процесса для одного дополнительного состояния готовности ПЛИС P_3 за счет восстановления работоспособных элементов из отказавших элементов показан на рис. 5.

Марковский процесс по графу в установившемся режиме описывается системой алгебраических уравнений:

$$\begin{cases} -p_1\delta - p_1\lambda + p_2\mu = 0, \\ \delta p_1 - \phi p_3 = 0, \\ \phi p_3 + \lambda p_1 - p_2\mu = 0, \\ p_1 + p_2 + p_3 = 1. \end{cases} \quad (4)$$



Рис. 5. Граф марковского процесса для одного дополнительного состояния готовности ПЛИС P_3 за счет восстановления из отказавших элементов

Система (4) для некоторых полученных в результате масштабирования надёжности ПЛИС параметров интенсивностей отказов и восстановления в Excel имеет решение симплекс-методом, представленное в табл. 4.

При одинаковой интенсивности восстановления (переход из P_2 в P_1) и интенсивности отказов, равной сумме (50 % отказов могут компенсироваться восстановлением работоспособных элементов из нескольких отказавших), система без P_3 имеет существенно меньший коэффициент готовности (табл. 5).

Таблица 4

Результаты расчетов для ПЛИС с восстановлением.

Коэффициент готовности $k_2 = 0,984$

Марков	δ	λ	μ	φ		
	0,000005	0,000005	0,0001	0,000001		
	P1	P3	P2			Факт
	-0,00001	0	0,0001		0	2,12E-22
	0,000005	-0,000001	0		0	-2,1E-22
	0,000005	0,000001	-0,0001		0	0
	1	1	1		1	1
Результат	0,163934	0,8196721	0,016393		1	
ЦФ						0
КГ	0,983607					

Таблица 5

Результаты расчетов для ПЛИС без дополнительного состояния

Марков	δ	λ	μ	φ		
	0	0,00001	0,0001	0		
	P1	P3	P2			Факт
	-0,00001	0	0,0001		0	1,69E-21
	0	0	0		0	0
	0,00001	0	-0,0001		0	-1,7E-21
	1	1	1		1	1
Результат	0,909091	0	0,090909		1	
ЦФ						0
КГ	0,909091					

Интенсивность восстановления в 10 раз выше интенсивности отказов. Коэффициент готовности $k_2 = 0,909$. В то же время предложенное комбинированное резервирование снижает интенсивность перехода в состояния P_2 и P_3 . Так, например, десятикратное уменьшение δ , λ позволяет получить коэффициент готовности $k_2 = 0,993$ (табл. 6).

Таблица 6

Результаты расчетов для ПЛИС с дополнительным состоянием.

Интенсивность отказов в 10 раз меньше за счет введения резервирования. Коэффициент готовности $k_2 = 0,993$

Марков	δ	λ	μ	φ		
	0,0000005	0,0000005	0,0001	0,000001		
	P1	P3	P2			Факт
	-0,000001	0	0,0001		0	0
	0,0000005	-0,000001	0		0	0
	0,0000005	0,000001	-0,0001		0	0
	1	1	1		1	1
Результат	0,6622517	0,3311258	0,006623		1	
ЦФ						0
КГ	0,9933775					

Заключение

В статье предлагаемое комбинированное резервирование элементов ПЛИС. Принимая во внимание ограничения Мида–Конвея, DT с частичным QR (см. рис. 2, *е, ж*) является наиболее предпочтительным по сравнению с чистым резервированием (см. рис. 2, *в, з*). Удельная единичная вероятность P_{dtqr} также является наиболее предпочтительной (см. рис. 2, *ж, з*). Тем не менее P_{dtqr} требует значительного увеличения задержки на мажоритарных, что в некоторых случаях может быть неприемлемо. Поэтому эффективно TMR-QR (см. рис. 2, *ж, з*) в случае жестких ограничений по времени задержки.

Расчеты, приведенные в статье, целесообразно выполнять в новой, предлагаемой опции САПР Quartus фирмы Intel, которую можно условно назвать «Анализ надёжности» по аналогии с анализом потребляемой мощности, сложности и временной задержки, имеющимся в САПР. С целью поиска оптимального варианта комбинирования имеет смысл модифицировать алгоритмы, описанные в [15–17]. Кроме того, для учета времени диагностирования [18] и реконфигурации необходимо дальнейшее развитие и уточнение подходов, описанных в [19–24]. Наиболее целесообразно использовать транзисторное резервирование в мажоритарных схемах, схемах сравнения по модулю два в дублированных системах, диагностических и конфигурационных контроллерах [25, 26]. В LUT, особенно большой разрядности, транзисторное резервирование рекомендуется в выходных каскадах для того, чтобы при отказе одной половины информация передавалась на выход для использования хотя бы части функциональности. Вместе с тем часть LUT небольшой разрядности целесообразно полностью охватить транзисторным резервированием, чтобы использовать их в качестве эталона, например, в диагностических процедурах. Определение количества таких элементов также может составлять предмет следующего этапа исследований.

Библиографический список

1. Война шестого поколения: радиоэлектронная борьба [Электронный ресурс]. – URL: <https://bumerang777.livejournal.com/1324477.html> (дата обращения: 26.02.2021).
2. El-Maleh A.H., Al-Yamani A., Al-Hashimi B.M. Transistor-Level Defect Tolerant Digital System Design at the Nanoscale. Research Proposal

Submitted to Internal Track Research Grant Programs [Электронный ресурс]. – URL: <http://citeseerx.ist.psu.edu/viewdoc/download?doi=10.1.1.474.3844&rep=rep1&type=pdf> (дата обращения: 12.02.2021).

3. Тюрин С.Ф. Проблема сохранения функциональной полноты булевых функций при «отказах» аргументов // Автоматика и телемеханика. – 1999. – № 9. – С. 176–186.

4. Греков А.В., Тюрин С.Ф. Повышение надежности электронных регуляторов авиадвигателей на основе инновационных логических элементов // Вестник Пермского национального исследовательского политехнического университета. Электротехника, информационные технологии, системы управления. – 2018. – № 25. – С. 177–188.

5. Греков А.В. Масштабирование надежности ПЛИС // Вестник Пермского национального исследовательского политехнического университета. Электротехника, информационные технологии, системы управления. – 2021. – № 1. – С. 165–173.

6. Tyurin S.F. Investigation of a Hybrid Redundancy in the Fault-Tolerant Systems // Radio Electronics, Computer Science, Control. – 2019. – № 2. – P. 23–33. DOI: 10.15588/1607-3274-2019-2-3

7. Tyurin S. A Quad CMOS gates checking method // International Journal of Computing. – 2019. – Vol. 18, iss. 3. – P. 258–264.

8. Tyurin S.F., Grekov A.V. Functionally Complete Tolerant Elements // International Journal of Applied Engineering Research. – 2015. – Vol. 10, № 14. – P. 34433–34442.

9. Weibull W. A statistical distribution function of wide applicability [Электронный ресурс]. – URL: <https://pdfs.semanticscholar.org/88c3/7770028e7ed61180a34d6a837a9a4db3b264.pdf>. (дата обращения: 12.01.2021).

10. ГОСТ 27.002–2015. Надежность в технике. Основные понятия. Термины и определения. – Введ. 2017–03–01. – М.: Стандартинформ, 2016. – 23 с.

11. ГОСТ Р 51901.14-2007 (МЭК 61078:2006). Менеджмент риска. Структурная схема надежности и булевы методы [Электронный ресурс]. – URL: <http://docs.cntd.ru/document/1200065647> (дата обращения: 11.02.2021).

12. Intel Reliability Report [Электронный ресурс]. – URL: <https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/rr/rr.pdf> (дата обращения: 10.02.2021).

13. Carver A. Mead, Lynn Conway. Introduction to VLSI Systems [Электронный ресурс]. – URL: <http://ai.eecs.umich.edu/people/conway/VLSI/VLSIText/PP-V2/V2.pdf> (дата обращения: 12.01.2021).

14. Kamenskih A.N., Tyurin S.F. The optimization of energy-efficiency and reliability using complex redundancy in computing systems // Radio Electronics, Computer Science, Control. – 2018. – № 3. – P. 135–142.

15. Иванова К.М., Скорнякова А.Ю. Алгоритм выбора оптимального набора конфигурируемых строго самосинхронных логических элементов // Вестник Пермского университета. Сер. Математика. Механика. Информатика. – 2020. – № 3(50). – С. 85–90.

16. Иванова К.М., Скорнякова А.Ю. Алгоритм оптимизации комплекта конфигурируемых строго самосинхронных генераторов логических функций для заданных параметров систем функций // Нанотехнологии. – 2020. – Т. 13. – № S4 (99). – С. 334–336.

17. Иванова К.М., Тюрин С.Ф., Скорнякова А.Ю. Программа выбора оптимального набора строго самосинхронных логических элементов: св-во о регистр. программы для ЭВМ 2020666738, 16.12.2020; заявка № 2020660893 от 22.09.2020.

18. ГОСТ 20911-89. Техническая диагностика. Термины и определения. – М.: Стандартиформ, 2009. – 11 с.

19. Tyurin S.F. LUT's Sliding Backup // IEEE transactions on device and materials reliability. – Mar. 2019. – Vol. 19, iss. 1. – P. 221–225. DOI: 10.1109/TDMR.2019.2898724

20. Тюрин С.Ф. Особенности архитектуры гиперфлекс // Вестник Воронежского гос. ун-та. Сер. Системный анализ и информационные технологии. – 2018. – № 1. – С. 56–62.

21. Тюрин С.Ф., Чудинов М.А. FPGA LUT с двумя выходами декомпозиции по Шеннону // Вестник Пермского национального исследовательского политехнического университета. Электротехника, информационные технологии, системы управления. – 2019. – № 29. – С. 136–147.

22. Tyurin S.F., Grekov A.V. Study of the multy input LUT complexity // Radio Electronics, Computer Science, Control. – 2018. – № 1. – P. 14–21. DOI: 10.15588/1607-3274-2018-1-2

23. Tyurin S.F. Green Logic: Green LUT FPGA Concepts, Models and Evaluations // Green IT Engineering: Concepts, Models, Complex Systems Architectures, Studies in Systems, Decision and Control /

V. Kharchenko, Y. Kondratenko, J. Kasprzyk (Eds.). – XIV. – 355 p; Berlin, Heidelberg: Springer International Publishing. – 2017. – P. 241–261. DOI: 10.1007/978-3-319-55595-9_12

24. Тюрин С.Ф., Вихорев Р.В. Адаптивный логический модуль ПЛИС с архитектурой FPGA // Вестник Рязан. гос. радиотехн. ун-та. – 2018. – № 63. – С. 69–76.

25. Хаханов В.И. Инфраструктура диагностического обслуживания SoC [Электронный ресурс] // Вестник Томск. ун-та. – 2008. – № 4(5). – URL: <http://sun.tsu.ru/mminfo/000063105/inf/05/image/05-074.pdf> (дата обращения: 05.05.2019).

26. Парфентий А.Н., Хаханов В.И., Литвинова Е.И. Модели инфраструктуры сервисного обслуживания цифровых систем на кристаллах // АСУ и приборы автоматики. – 2007. – Вып. 138. – С. 83–99.

References

1. Voina shestogo pokoleniia: radioelektronnaia bor'ba [Sixth generation warfare: electronic warfare], available at: <https://bumerang777.livejournal.com/1324477.html> (accessed 26 February 2021).

2. El-Maleh A.H., Al-Yamani A., Al-Hashimi B.M. Transistor-Level Defect Tolerant Digital System Design at the Nanoscale. Research Proposal Submitted to Internal Track Research Grant Programs, available at: <http://citeseerx.ist.psu.edu/viewdoc/download?doi=10.1.1.474.3844&rep=rep1&type=pdf> (accessed 26 February 2021).

3. Tyurin S.F. Problema sokhraneniia funktsional'noi polnoty bulevykh funktsii pri “otkazakh” argumentov [Retention of functional completeness of Boolean functions under "failures" of the arguments]. *Avtomatika i telemekhanika*, 1999, no. 9, pp. 176-186.

4. Grekov A.V., Tyurin S.F. Povyshenie nadezhnosti elektronnykh regulatorov aviadvigatelyi na osnove innovatsionnykh logicheskikh elementov [Improve Reliability of Electronic Aviation Engine Controller on the Basis of Innovative Logic Elements]. *Vestnik Permskogo natsional'nogo issledovatel'skogo politekhnicheskogo universiteta. Elektrotehnika, informatsionnye tekhnologii, sistemy upravleniia*, 2018, no. 25, pp. 177-188.

5. Grekov A.V. Masshtabirovanie nadezhnosti PLIS [Scaling of the reliability FPGA]. *Vestnik Permskogo natsional'nogo issledovatel'skogo politekhnicheskogo universiteta. Elektrotehnika, informatsionnye tekhnologii, sistemy upravleniia*, 2021, no. 1, pp. 165-173.

6. Tyurin S.F. Investigation of a Hybrid Redundancy in the Fault-Tolerant Systems. *Radio Electronics, Computer Science, Control*, 2019, no. 2, pp. 23-33. DOI: 10.15588/1607-3274-2019-2-3

7. Tyurin S. A Quad CMOS gates checking method. *International Journal of Computing*, 2019, vol. 18, iss. 3, pp. 258-264.

8. Tyurin S.F., Grekov A.V. Functionally Complete Tolerant Elements. *International Journal of Applied Engineering Research*, 2015, vol. 10, no. 14, pp. 34433-34442.

9. Weibull W. A statistical distribution function of wide applicability, available at: <https://pdfs.semanticscholar.org/88c3/7770028e7ed61180a34d6a837a9a4db3b264.pdf>. (accessed 10 January 2021).

10. GOST 27.002-2015. Nadezhnost' v tekhnike. Osnovnye poniatia. Terminy i opredeleniia. [Reliability in technology. Basic concepts. Terms and definitions]. Moscow: Standartinform, 2016, 23 p.

11. GOST R 51901.14-2007 (MEK 61078:2006). Menedzhment riska. Strukturnaia skhema nadezhnosti i bulevy metody [GOST R 51901.14-2007 (IEC 61078:2006). Analysis techniques for dependability - Reliability block diagram and boolean methods], available at: <http://docs.cntd.ru/document/1200065647> (accessed 11 February 2021).

12. Intel Reliability Report, available at: <https://www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/rr/rr.pdf> (accessed 11 February 2021).

13. Carver A. Mead, Lynn Conway. Introduction to VLSI Systems, available at: <http://ai.eecs.umich.edu/people/conway/VLSI/VLSIText/PP-V2/V2.pdf> (accessed 12 January 2021).

14. Kamenskih A.N., Tyurin S.F. The optimization of energy-efficiency and reliability using complex redundancy in computing systems. *Radio Electronics, Computer Science, Control*, 2018, no. 3, pp. 135-142.

15. Ivanova K.M., Skorniakova A.Iu. Algoritm vybora optimal'nogo nabora konfiguriruemyykh strogo samosinkhronnykh logicheskikh elementov [Algorithm for Choosing the Optimal Set of Configurable Self-Timed Logic Gates]. *Vestnik Permskogo universiteta. Matematika. Mekhanika. Informatika*, 2020, no. 3(50), pp. 85-90.

16. Ivanova K.M., Skorniakova A.Iu. Algoritm optimizatsii kompleksa konfiguriruemyykh strogo samosinkhronnykh generatorov logicheskikh funktsii dlia zadannykh parametrov sistem funktsii [Optimization Algorithm for a Set of Configurable Strictly Selftimed Logic Function

Generators for Given Parameters of Function Systems]. *Nanoindustriia*, 2020, vol. 13, no. S4(99), pp. 334-336.

17. Ivanova K.M., Tiurin S.F., Skorniakova A.Iu. Programma vybora optimal'nogo nabora strogo samosinkhronnykh logicheskikh elementov [The Program for Selecting the Optimal Set of Strictly Self-Timed Logical Elements]. Svidetel'stvo o registratsii programmy dlia EVM 2020666738, 16.12.2020.

18. GOST 20911-89. Tekhnicheskaiia diagnostika. Terminy i opredeleniia [Technical diagnostics. Terms and Definitions]. Moscow: Standartinform, 2009, 11 p.

19. Tyurin S.F. LUT's Sliding Backup. *IEEE transactions on device and materials reliability*, Mar. 2019, vol. 19, iss. 1, pp. 221-225. DOI: 10.1109/TDMR.2019.2898724

20. Tyurin S.F. Osobennosti arkhitektury giperfleks [Features of the hyperflex architecture]. *Vestnik Voronezhskogo gosudarstvennogo universiteta. Sistemyi analiz i informatsionnye tekhnologii*, 2018, no. 1, pp. 56-62.

21. Tyurin S.F., Chudinov M.A. FPGA LUT s dvumia vykhodami dekompozitsii po Shennonu [FPGA LUT with Two Shannon Decomposition Outputs]. *Vestnik Permskogo natsional'nogo issledovatel'skogo politekhnicheskogo universiteta. Elektrotekhnika, informatsionnye tekhnologii, sistemy upravleniia*, 2019, no. 29, pp. 136-147.

22. Tyurin S.F., Grekov A.V. Study of the multy input LUT complexity. *Radio Electronics, Computer Science, Control*, 2018, no. 1, pp. 14-21. DOI: 10.15588/1607-3274-2018-1-2

23. Tyurin S.F. Green Logic: Green LUT FPGA Concepts, Models and Evaluations. *Green IT Engineering: Concepts, Models, Complex Systems Architectures, Studies in Systems, Decision and Control*. V. Kharchenko, Y. Kondratenko, J. Kacprzyk (Eds.). XIV, 355 p; Berlin, Heidelberg: Springer International Publishing, 2017, pp. 241-261. DOI: 10.1007/978-3-319-55595-9_12

24. Tyurin S.F., Vikhorev R.V. Adaptivnyi logicheskii modul' PLIS s arkhitekturoi FPGA [Adaptive Logic PLD Module with FPGA Architecture]. *Vestnik Riazanskogo gosudarstvennogo radiotekhnicheskogo universiteta*, 2018, no. 63, pp. 69-76.

25. Khakhanov V.I. Infrastruktura diagnosticheskogo obsluzhivaniia SoC [SoC Diagnostic Maintenance Infrastructure]. *Vestnik Tomskogo universiteta*, 2008, no. 4(5), available at: <http://sun.tsu.ru/mminfo/000063105/inf/05/image/05-074.pdf> (accessed 5 May 2019).

26. Parfentii A.N., Khakhanov V.I., Litvinova E.I. Modeli infrastruktury servisnogo obsluzhivaniia tsifrovyykh sistem na kristallakh [Service infrastructure models for digital systems on chips]. *Avtomatizirovannyye sistemy upravleniia i pribory avtomatiki*, 2007, iss. 138, pp. 83-99.

Сведения об авторе

Греков Артем Владимирович (Пермь, Россия) – кандидат технических наук, доцент кафедры «Программное обеспечение вычислительной техники и автоматизированных систем» Пермского военного института войск национальной гвардии Российской Федерации (614112, Пермь, ул. Гремячий Лог, 1, e-mail: grekartemvl@mail.ru).

About the author

Artem V. Grekov (Perm, Russian Federation) – Ph. D. in Technical Sciences, Associate Professor of the Department of Software Computer Technology and Automated Systems Perm Military Institute of National Guard Troops (614112, Perm, Gremyachy Log, str. 1, e-mail: grekartemvl@mail.ru).

Получено 10.03.2021