

УДК 004.032

DOI: 10.15593/2224-9397/2021.1.09

А.Н. Каменских

Пермский национальный исследовательский политехнический университет,
Пермь, Россия

РАЗРАБОТКА БИБЛИОТЕКИ ВЫСОКОНАДЕЖНЫХ ЭЛЕМЕНТОВ НА ОСНОВЕ РЕЗЕРВИРОВАНИЯ НА ТРАНЗИСТОРНОМ УРОВНЕ

Повышение надежности цифровой аппаратуры для многих критических областей применения не может обойтись без методов обеспечения отказоустойчивости. Во многом это требование связано с необходимостью обеспечить устойчивость к сбоям и отказам в режиме «реально-го» времени, т.е. без задержек на диагностику, реконфигурацию и ремонт. Одним из традиционных подходов к обеспечению отказоустойчивости является мажоритарное резервирование, например тройное модульное резервирование. Однако оно обеспечивает повышение параметров надежности только на небольшом временном промежутке. Более затратным является метод резервирования на транзисторном уровне. Данный метод предполагает резервирование транзисторных цепочек, что значительно ухудшает параметры быстродействия, но в то же время значительно меньше увеличивает энергопотребление. Кроме того, резервирование на транзисторном уровне обеспечивает повышение параметров надежности на значительно большем интервале времени. Однако ключевым вопросом является именно то, насколько оно влияет на основные характеристики устройства. Это влияние может изменяться в зависимости от используемой полупроводниковой технологии, поэтому, несмотря на общие закономерности, необходимо использовать методы схемотехнического моделирования для определения эффективности резервирования на транзисторном уровне в различных технологиях. **Цель работы** заключается в разработке моделей и библиотеки отказоустойчивых базовых логических элементов для технологии производства 180 нм с использованием метода резервирования на транзисторном уровне. **Результаты** проектирования и моделирования в виде библиотеки отказоустойчивых логических элементов на основе моделей транзисторов 180 нм представлены в статье. **Практическая значимость** заключается в том, что полученная библиотека позволяет разрабатывать отказоустойчивые цифровые устройства на основе резервирования на транзисторном уровне для таких отраслей промышленности, как военная, медицинская, аэрокосмическая и другие. **Обсуждение:** более точные модели могут быть получены в результате топологического проектирования, что является следующим шагом после схемотехнического.

Ключевые слова: надежность, отказоустойчивость, базовые логические элементы, резервирование на транзисторном уровне, передающие транзисторы.

A.N. Kamenskikh

Perm National Research Polytechnic University, Perm, Russian Federation

THE DEVELOPMENT OF FAULT-TOLERANT LOGIC GATE LIBRARY USING TRANSISTOR-LEVEL REDUNDANCY METHOD

Improving the reliability of digital equipment for many critical applications cannot be done without fault tolerance methods. This requirement is associated with the need to ensure resistance to failures and faults in real time that is without delays in diagnostics, reconfiguration and repair. One of the traditional approaches to providing fault tolerance is majority redundancy, for example, triple modular redundancy. However, it provides increased reliability parameters only at a minor interval. The transistor level redundancy method is more costly. This method involves redundancy of transistor chains, which significantly degrades the performance parameters, but at the same time significantly less increases power consumption. In addition, redundancy at the transistor level provides an increase in reliability parameters over a significantly longer time interval. However, the key issue is precisely how much it affects the basic characteristics of the device. This influence may vary depending on the semiconductor technology used, so despite general patterns, it is necessary to use circuitry simulation techniques to determine the redundancy efficiency at the transistor level in various technologies. **The purpose** of the work is to develop models and a library of fault-tolerant basic logic gates for the production technology of 180nm using the transistor level redundancy method. **The results** of design and modeling in the form of a library of fault-tolerant logic gates based on models of transistors 180nm are presented in the article. **The practical relevance:** the resulting library allows the development of fault-tolerant digital devices based on transistor-level redundancy for industries such as military, medical, aerospace and others. **Discussion:** Models that are more accurate can be obtained because of topological design, which is the next step after schematic design.

Keywords: reliability, fault-tolerance, basic logic gates, transistor-level redundancy, pass-transistor logic.

Введение

Отказоустойчивые цифровые устройства применяются во многих областях, в основном относящихся к критическим областям применения: медицина, аэрокосмическая отрасль и вычислительная техника военного назначения [1–3]. Основным методом, обеспечивающим устойчивость к отказам и сбоям, долгое время являлось тройное модульное резервирование, вариант мажоритарного резервирования с голосованием 2 из 3 [4, 5]. Поскольку вероятность двух отказов/сбоев значительно ниже вероятности одиночного отказа, то этот метод являлся первым и достаточно очевидным решением проблемы обеспечения отказоустойчивости. Однако первое решение редко бывает наилучшим [6–9]. Издержки, связанные с мажоритарным резервированием, достаточно очевидны – увеличение энергопотребления более чем в три раза, даже теоретически совсем небольшой промежуток времени, на кото-

ром вероятность безотказной работы выше, чем у нерезервированной схемы и, конечно, проблема контролёра-контролёров [10, 11].

Метод резервирования на транзисторном уровне значительно меньше увеличивает энергопотребление устройства, значительно лучше в плане влияния на надежность, но вносит высокую дополнительную задержку в устройства [12]. Кроме того, эффективность метода сильно изменяется в зависимости от используемой полупроводниковой технологии, да и в целом требует больших затрат на проектирование, так как должна быть разработана и апробирована соответствующая библиотека элементов. Метод опирается на базовые модели логических элементов, которые могут быть получены с помощью моделей транзисторов для соответствующей технологии. В статье решается задача совершенствования метода для его применения в устройствах с технологическим процессом 180 нм.

Цель статьи – усовершенствовать методы комбинированного резервирования для его применимости в устройствах, соответствующих технологии 180 нм.

Для достижения цели исследования необходимо решить следующие задачи:

- разработать базовые отказоустойчивые логические элементы (ЛЭ) на основе 180 нм КМОП-транзисторов;
- провести моделирование на транзисторном уровне с целью определения характеристик базовых ЛЭ;
- разработать и промоделировать перспективные элементы, позволяющие повысить надежность цифровых устройств.

1. Концепция резервирования на транзисторном уровне

Резервирование на транзисторном уровне (РТУ) является наиболее низкоуровневым способом обеспечения отказоустойчивости, при котором избыточность вводится для каждого отдельного транзистора. Несмотря на это, сама концепция опирается на математический аппарат функционально-полных толерантных (ФПТ) булевых функций – это такие функции, которые сохраняют функциональную полноту в смысле теоремы Поста при кратности отказов, не превышающей заданную k [13, 14].

Для $k = 1$ существуют две базовых ФПТ-функции (базиса):

$$\begin{aligned} f_1 &= \overline{x_1} \overline{x_2} \vee \overline{x_3} \overline{x_4}, \\ f_2 &= (\overline{x_1} \vee \overline{x_2})(\overline{x_3} \vee \overline{x_4}). \end{aligned} \tag{1}$$

ФПТ-базис существует в модели однократных константных отказов входов, в рамках этой модели любой физический дефект сводится к замыканию аргументов x на определенную константу из множества $\{0, 1, x'\}$. При этом новая функция f' сохраняет функциональную полноту:

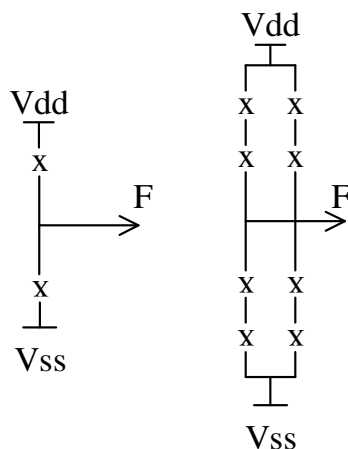
$$\begin{aligned} f_1 &= \overline{\overline{x_1 x_2}} \vee \overline{\overline{x_3 x_4}}, \\ f'(x_1 = 0) &= \overline{\overline{0 x_2}} \vee \overline{\overline{x_3 x_4}}, \\ f' &= \overline{\overline{x_2}} \vee \overline{\overline{x_3 x_4}}. \end{aligned} \tag{2}$$

Однако вторая функция не гарантирует сохранения базиса при двух и более отказах:

$$\begin{aligned} f'(x_1 = x_2 = 0) &= \overline{\overline{00}} \vee \overline{\overline{x_3 x_4}}, \\ f' &= 1 \vee \overline{\overline{x_3 x_4}} = 1. \end{aligned} \tag{3}$$

С использованием данных функций разработаем схему простейшего отказоустойчивого инвертера. Инвертер вычисляет функцию, обратную x , при этом логические описания схем подключения «1» (англ. pull-up network, PUN) и «0» (англ. pull-down network, PDN) принимают вид:

$$\begin{aligned} f_1 &= x, \\ f_0 &= x. \end{aligned} \tag{4}$$



а) инвертор (4) б) инвертор (5)

Рис. 1. Схема реализации инвертора (а) и отказоустойчивого инвертора (б) в КМОП логике

Применив функцию (1), получим описание цепочек транзисторов:

$$\begin{aligned} f_1 &= xx \vee xx, \\ f_0 &= xx \vee xx. \end{aligned} \tag{5}$$

По данному описанию получим схему отказоустойчивого инвертора в символьной форме (рис. 1).

РТУ приводит к кратному увеличению последовательно соединенных транзисторов. В связи с этим технологии, где не допускается последовательное соединение более чем 4 транзисторов, не могут использовать РТУ. Вместе с количеством транзисторов также растут емкость и сопротивление цепочки, что негативно влияет на характеристики логических элементов.

Преимущество технологии заключается в высокой степени отказоустойчивости, в том числе радиационной стойкости, и сниженном энергопотреблении по сравнению с методом мажоритарного резервирования [15].

2. Отказоустойчивые элементы для технологических норм 180 нм

Для внедрения технологии РТУ необходимо разработать библиотеку основных логических элементов.

Разработка библиотеки логических элементов включает следующие основные этапы:

- 1) разработка функционального описания логических элементов;
- 2) разработка функциональных схем и характеризацию полученных элементов;
- 3) разработка топологических схем.

Предлагаемая библиотека элементов содержит следующие основные логические элементы: 2И-НЕ, 2ИЛИ-НЕ, 2И-2И-ИЛИ-НЕ, 2И-ИЛИ-НЕ, 2ИЛИ-2ИЛИ-И-НЕ, 2ИЛИ-И-НЕ. Все элементы реализованы в отказоустойчивом исполнении. Корректность функционирования всех элементов была подтверждена с помощью моделирования в среде NI MultiSim 14.0, для этого использовались модели транзисторов P и N типов bsim v3.3 для технологии 180 нм. Библиотека элементов, представленных на рис. 2–4, была разработана для реализации цифровых устройств в соответствии с технологией проектирования базовых матричных кристаллов – БМК [16, 17].

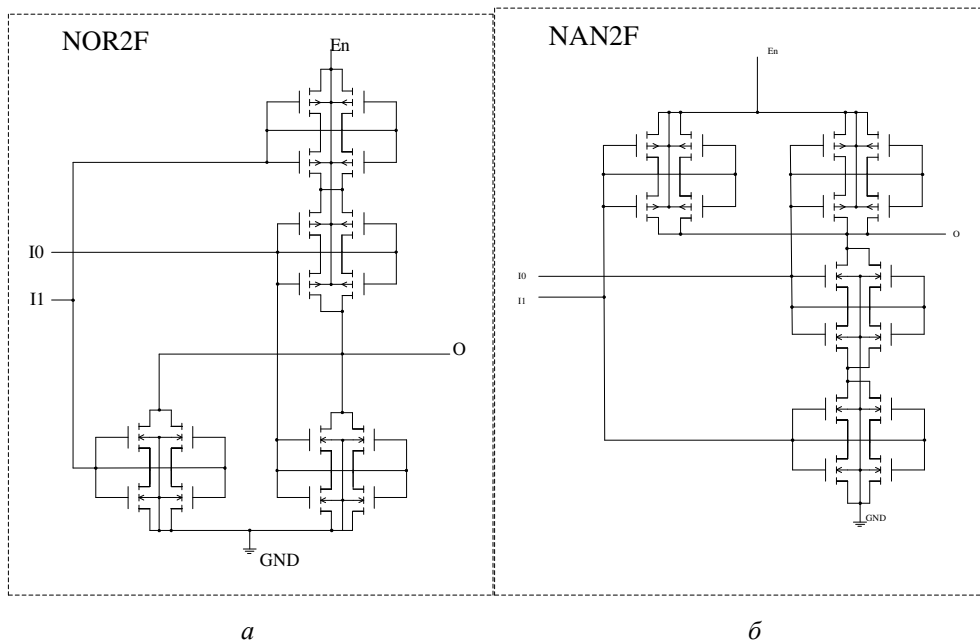


Рис. 2. Отказоустойчивые логические элементы: *a* – 2ИЛИ-НЕ; *б* – 2И-НЕ

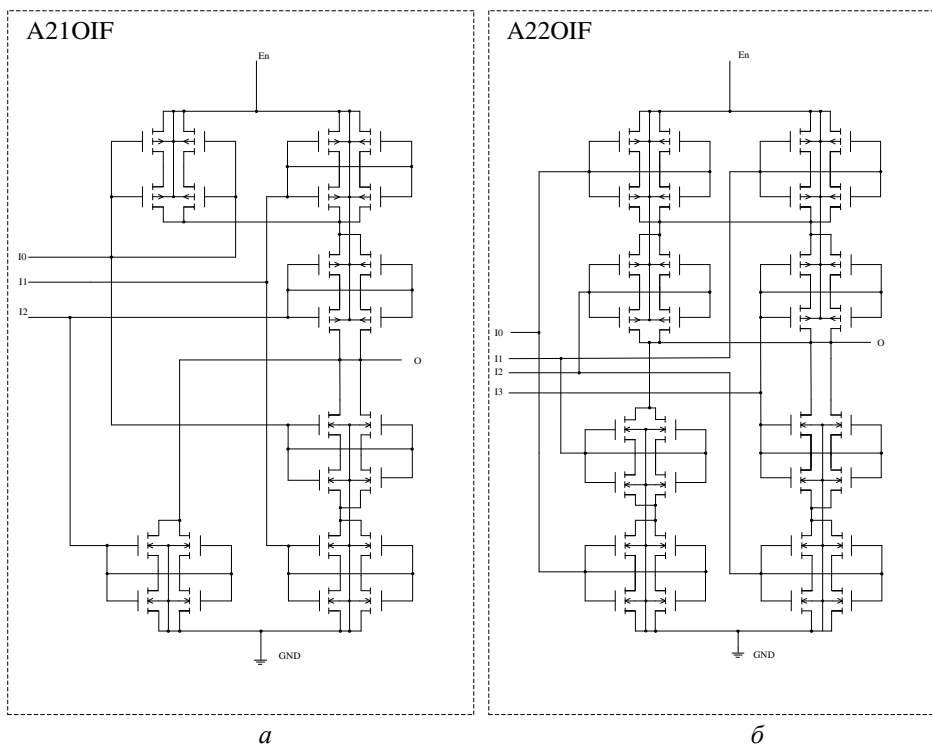


Рис. 3. Отказоустойчивые логические элементы: *a* – 2И-ИЛИ-НЕ; *б* – 2И-2И-ИЛИ-НЕ

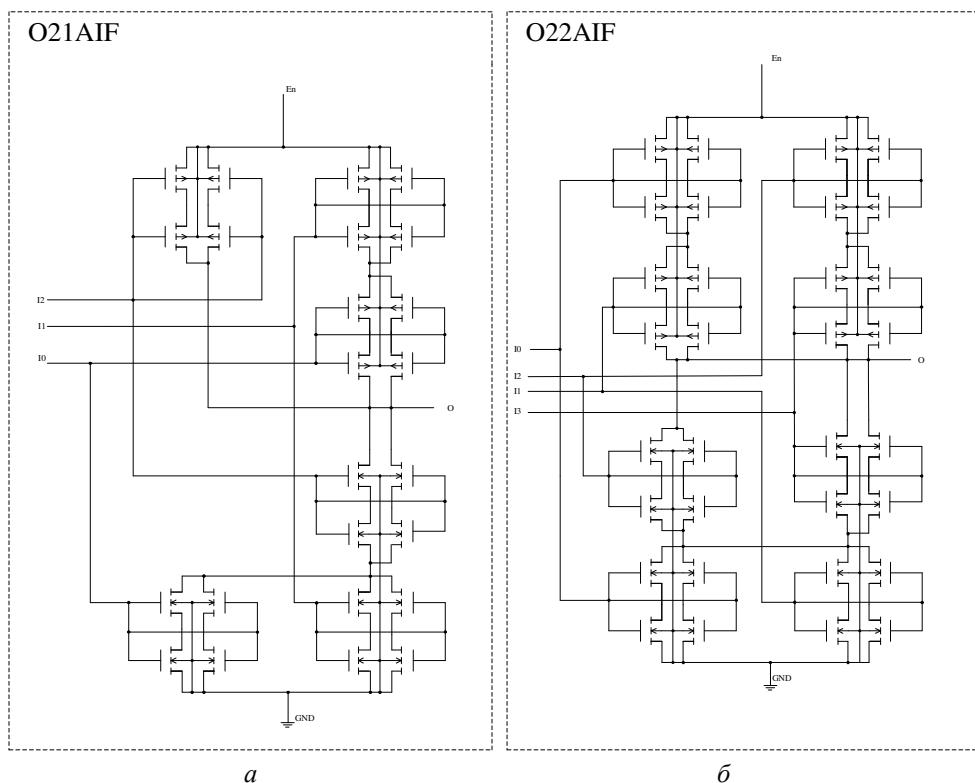


Рис. 4. Отказоустойчивые логические элементы: *a* – 2ИЛИ-И-НЕ и *б* – 2ИЛИ-2ИЛИ-И-НЕ

3. Отказоустойчивые элементы на основе передающих транзисторов

Для снижения числа избыточных транзисторов возможно использование так называемых «передающих» транзисторов [18–22]. Однако данные элементы не были включены в библиотеку, так как их невозможно реализовать в БМК-технологии. Но для полностью заказных микросхем они могут представлять большой интерес. В связи с этим указанные элементы будут описаны в расширении к предлагаемой библиотеке.

Передающие транзисторы (англ. Pass transistor logic, PTL) используются для снижения количества транзисторов, необходимых для вычисления функции в КМОП-логике. Однако при этом существенно изменяются электрические свойства цепочек. Рассмотрим простой пример – реализацию функции «импликация-не» (рис. 5).

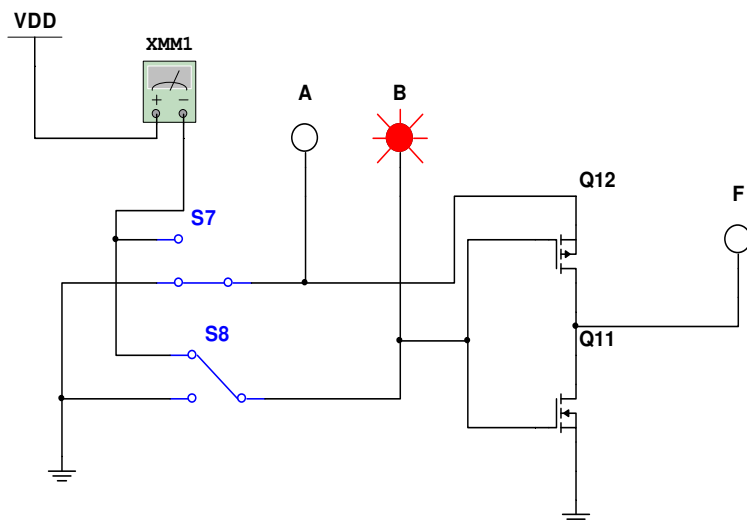


Рис. 5. Реализация функции отрицания импликации в PTL

Если вход B принимает значение логической единицы, то на выход F будет подключен источник питания GND или V_{ss} . Если B принимает значение логического нуля, то на выход F будет подключена переменная A , и функция примет вид $F = A$.

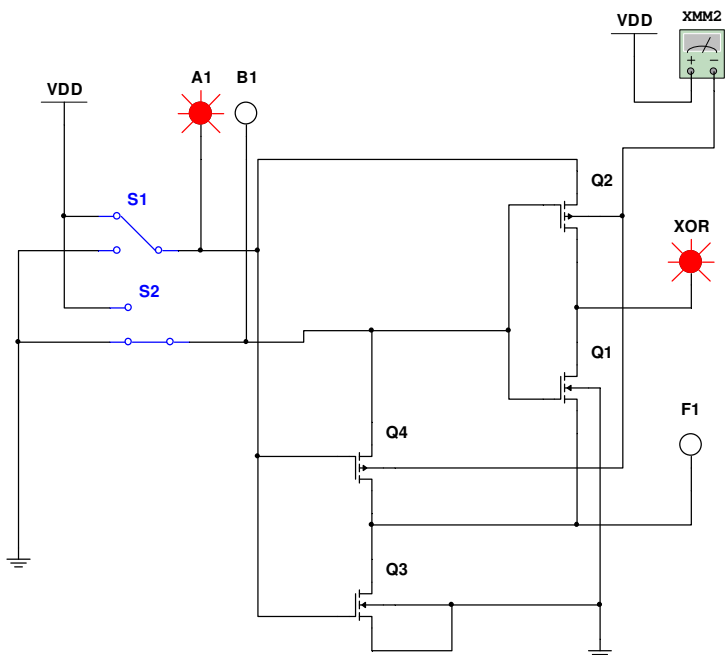


Рис. 6. Логический элемент 2XOR в PTL

Применение PTL позволяет значительно упростить реализацию таких функций, как импликация, эквиваленция, симметрическая разность и их производные. Рассмотрим реализацию логического элемента 2XOR в PTL (рис. 6).

При B , равном логическому нулю, значение функции зависит от значения переменной A , при B , равном логической единице, выход $F = \overline{B \rightarrow A}$.

Один из самых практически значимых результатов PTL был получен в полных сумматорах, которые в обычной КМОП-логике требуют 20 транзисторов, с помощью PTL ту же функцию можно вычислить с затратами всего в 10 транзисторов (рис. 7).

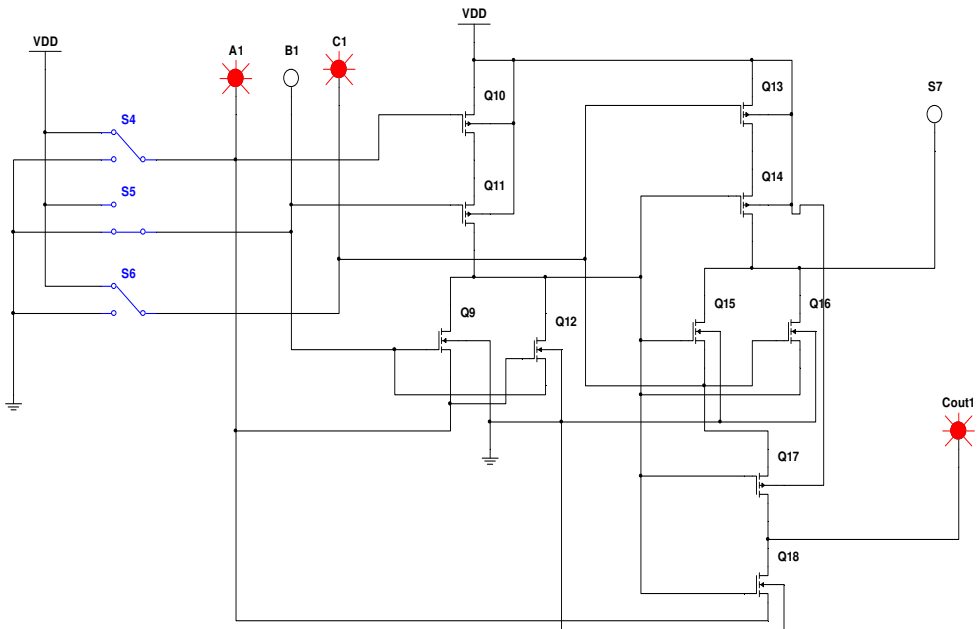


Рис. 7. Полный сумматор на основе PTL

Моделирование всех указанных схем показало следующие основные проблемы PTL, которые помимо изменения топологии препятствуют внедрению ЛЭ PTL в стандартных библиотеках [23–25]:

1. Падение напряжения между входом и выходом может достигать 40 %;
2. Снижение помехоустойчивости схемы составляет до 5 %;
3. Сопротивление P-МОП цепочки в первой паре должно быть выше, чем в других парах транзисторов.

Это достаточно существенные проблемы, решение которых позволит значительно повысить показатели качества заказных микросхем с использованием PTL.

Заключение

Представленная библиотека, состоящая из 6 базовых отказоустойчивых ЛЭ и 4 перспективных ЛЭ на основе PTL, позволяет вести разработку цифровых устройств произвольной сложности. Моделирование подтвердило работоспособность всех элементов, однако элементы на основе PTL имеют серьезные проблемы с падением напряжения до 40 % и снижением помехоустойчивости на ~5 % при реализации их в составе устройства и должны использоваться с осторожностью. В то же время PTL-элементы позволяют реализовать те же функции с меньшим количеством транзисторов, что в целом повышает надежность, но не обеспечивает отказоустойчивость. В дальнейшем планируется разработать топологии всех элементов, что позволит повысить точность полученных моделей базовых отказоустойчивых ЛЭ.

Библиографический список

1. Tyurin S.F. Retention of functional completeness of Boolean functions under "failures" of the arguments // Automation and Remote Control. – 1999. – Vol. 60, № 9. – Part 2. – P. 1360–1367.
2. Каменских А.Н., Тюрин С.Ф. Анализ отказоустойчивой самосинхронной реализации двоичного сумматора // Вестник Пермского национального исследовательского университета. Электротехника, информационные технологии, системы управления. – 2014. – № 1(9). – С. 25–39.
3. Donald C. Mayer, Ronald C. Laco. Designing Integrated Circuits to Withstand Space Radiation [Электронный ресурс] // Crosslink. – Vol. 4, № 2. – URL: <http://www.aero.org/publications/crosslink/summer2003/06.html> (дата обращения: 20.04.2014).
4. Аббас Б.А.А., Хаханов В.И., Литвинова Е.И. Методы анализа и диагностирования цифровых устройств (аналитический обзор) // Автоматизированные системы управления и приборы автоматики. – 2014. – № 166. – С. 59–74.

5. Пархоменко П.П., Ведешенков В.А. Принципы обеспечения отказоустойчивости многопроцессорных вычислительных систем. – М.: Изд-во Ин-та проблем управления, 1987. – С. 1–18.

6. Shi Y. Fault-Tolerant Delay-Insensitive Communication: Ph. D. thesis. – University of Manchester, 2010. – P. 173.

7. Авиженис А. Отказоустойчивость – свойство, обеспечивающее постоянную работоспособность цифровых систем // Тр. Ин-та инженеров по электротехнике и радиоэлектронике. – 1978. – Т. 66, № 10. – С. 5–15.

8. Семейство серий базовых матричных кристаллов / С.В. Гаврилов [и др.] // Известия высших учебных заведений. – 2015. – Т. 20. – № 5. – С. 497–504.

9. Дрозд А.В. Нетрадиционный взгляд на рабочее диагностирование вычислительных устройств // Проблемы управления. – 2008. – № 2. – С. 48–56.

10. Kamenskih A.N. The decrease of energy-consumption in fault-tolerant digital devices: Principles, models and algorithms // 2017 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus). – IEEE, 2017. – P. 295–300. DOI: 10.1109/EIConRus.2017.7910550

11. Kamenskih A.N., Tyurin S.F. Advanced approach to development of energy-aware and naturally reliable computing systems // 2015 IEEE NW Russia Young Researchers in Electrical and Electronic Engineering Conference (EIConRusNW). – IEEE, 2015. – P. 75–77. DOI: 10.1109/EIConRusNW.2015.7102235

12. Каменских А.Н. Моделирование влияния резервирования на энергопотребление самосинхронных схем // Вестник Перм. ун-та. Математика. Механика. Информатика. – 2015. – № 4. – С. 91–94.

13. Анализ методов обеспечения пассивной отказоустойчивости цифровых устройств и систем / С.Ф. Тюрин [и др.] // Вестник Пермского национального исследовательского университета. Электротехника, информационные технологии, системы управления. – 2011. – № 5. – С. 143–153.

14. Функционально-полный толерантный элемент / С.Ф. Тюрин [и др.] // Науч.-техн. ведомости Санкт-Петербург. гос. политехн. ун-та. – 2011. – № 115. – С. 24–30.

15. Тюрин С.Ф., Каменских А.Н. О резервировании логических функций на уровне транзисторов // В мире научных открытий. – 2014. – № 10. – С. 232–247.

16. Библиотека элементов для проектирования самосинхронных полузаказных микросхем серий 5503/5507 и 5508/5509 / Ю.А. Степченко [и др.]. – М.: ИПИ РАН, 2012. – 238 с.

17. Методология проектирования радиационно-стойких микросхем на основе БМК для космических аппаратов / А.С. Басаев [и др.] // Проблемы разработки перспективных микро-и нанoeлектронных систем (МЭС): сб. тр. всерос. науч.-техн. конф. – Зеленоград: Изд-во Ин-т проблем проектирования в микроэлектронике РАН, 2008. – № 1. – С. 1–8.

18. Han J., Orshansky M. Approximate computing: An emerging paradigm for energy-efficient design // 2013 18th IEEE European Test Symposium (ETS). – IEEE, 2013. – P. 1–6.

19. Approximate XOR/XNOR-based adders for inexact computing / Z. Yang [et al.] // 13th IEEE International Conference on Nanotechnology (IEEE-NANO 2013). – IEEE, 2013. – P. 690–693.

20. Zimmermann R., Fichtner W. Low-power logic styles: CMOS versus pass-transistor logic // IEEE journal of solid-state circuits. – 1997. – Vol. 32. – № 7. – P. 1079–1090.

21. Alioto M., Palumbo G. Analysis and comparison on full adder block in submicron technology // IEEE transactions on very large scale integration (VLSI) systems. – 2002. – Vol. 10. – № 6. – P. 806–823.

22. Yang C., Ciesielski M. Synthesis for mixed CMOS/PTL logic // Proceedings Design, Automation and Test in Europe Conference and Exhibition 2000 (Cat. No. PR00537). – IEEE, 2000. – P. 750.

23. Karnik T., Borkar S., De V. Sub-90nm technologies: challenges and opportunities for CAD // Proceedings of the 2002 IEEE/ACM international conference on Computer-aided design. – 2002. – P. 203–206.

24. Murugasami R., Ragupathy U.S. Design and comparative analysis of D-Flip-flop using conditional pass transistor logic for high-performance with low-power systems // Microprocessors and Microsystems. – 2019. – Vol. 68. – P. 92–101.

25. Kamenskih A.N. The Research into Fault-Tolerant Design Using Pass Transistor Logic // 2019 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus). – IEEE, 2019. – P. 94–97.

References

1. Tyurin S.F. Retention of functional completeness of Boolean functions under "failures" of the arguments. *Automation and Remote Control*, 1999, vol. 60, no. 9, part 2, pp. 1360-1367.
2. Kamenskikh A.N., Tiurin S.F. Analiz otkazoustoichivoi samosinkhronnoi realizatsii dvoichnogo summatora [The analysis of self-timed full-adder in terms of reliability]. *Vestnik Permskogo natsional'nogo issledovatel'skogo universiteta. Elektrotehnika, informatsionnye tekhnologii, sistemy upravleniia*, 2014, no. 1(9), pp. 25-39.
3. Donald C. Mayer, Ronald C. Laco. Designing Integrated Circuits to Withstand Space Radiation, vol. 4, no. 2, Crosslink, available at: <http://www.aero.org/publications/crosslink/summer2003/06.html> (accessed 20 April 2014).
4. Abbas B.A.A., Khakhanov V.I., Litvinova E.I. Metody analiza i diagnostirovaniia tsifrovyykh ustroystv (analiticheskii obzor) [The methods of the analysis and diagnostics of digital devices (analytical review)]. *Avtomatizirovannye sistemy upravleniia i pribory avtomatiki*, 2014, no. 166, pp. 59-74.
5. Parkhomenko P.P., Vedeshenkov V.A. Printsipy obespecheniia otkazoustoichivosti mnogoprotsessornykh vychislitel'nykh sistem [The principles of fault-tolerant multiprocessor computing systems]. Moscow: Institut problem upravleniia, 1987, pp. 1-18.
6. Shi Y. Fault-Tolerant Delay-Insensitive Communication: Ph. D. thesis. University of Manchester, 2010, 173 p.
7. Avizhenis A. Otkazoustoichivost' - svoistvo, obespechivaiushchee postoiannuiu rabotosposobnost' tsifrovyykh sistem [Fault-tolerant - the characteristic that ensures continuous operation of digital systems]. *Trudy Instituta inzhenerov po elektrotekhnike i radioelektronike*, 1978, vol. 66, no. 10, pp. 5-15.
8. Gavrilov S.V. et al. Semeistvo serii bazovykh matrichnykh kristallov [The series of basic matrix crystals]. *Izvestiia vysshikh uchebnykh zavedenii*, 2015, vol. 20, no. 5, pp. 497-504.
9. Drozd A.V. Netraditsionnyi vzgliad na rabochee diagnostirovanie vychislitel'nykh ustroystv [The unusual vision of diagnostics problems of computing systems]. *Problemy upravleniia*, 2008, no. 2, pp. 48-56.
10. Kamenskikh A.N. The decrease of energy-consumption in fault-tolerant digital devices: Principles, models and algorithms. *2017 IEEE Confer-*

ence of Russian Young Researchers in Electrical and Electronic Engineering (EIconRus). IEEE, 2017, pp. 295-300. DOI: 10.1109/EIconRus.2017.7910550

11. Kamenskih A.N., Tyurin S.F. Advanced approach to development of energy-aware and naturally reliable computing systems. *2015 IEEE NW Russia Young Researchers in Electrical and Electronic Engineering Conference (EIconRusNW)*. IEEE, 2015, pp. 75-77. DOI: 10.1109/EIconRusNW.2015.7102235

12. Kamenskikh A.N. Modelirovanie vliianiia rezervirovaniia na energopotreblenie samosinkhronnykh skhem [The simulation of influence of redundancy on energy-consumption of self-timed circuits]. *Vestnik Permskogo universiteta. Matematika. Mekhanika. Informatika*, 2015, no. 4, pp. 91-94.

13. Tiurin S.F. et al. Analiz metodov obespecheniia passivnoi otkazoustoichivosti tsifrovyykh ustroystv i sistem [The analysis of methods of passive fault-tolerance in digital computing systems]. *Vestnik Permskogo natsional'nogo issledovatel'skogo universiteta. Elektrotekhnika, informatsionnye tekhnologii, sistemy upravleniia*, 2011, no. 5, pp. 143-153.

14. Tiurin S.F. et al. Funktsional'no-polnyi tolerantnyi element [The functionally complete tolerant logic element]. *Nauchno-tekhnicheskie vedomosti Sankt-Peterburgskogo gosudarstvennogo politekhnicheskogo universiteta*, 2011, no. 115, pp. 24-30.

15. Tiurin S.F., Kamenskikh A.N. O rezervirovni logicheskikh funktsii na urovne tranzistorov [About transistor level redundancy]. *V mire nauchnykh otkrytii*, 2014, no. 10, pp. 232-247.

16. Stepchenkov Iu.A. et al. Biblioteka elementov dlia proektirovaniia samosinkhronnykh poluzakaznykh mikroskhem serii 5503/5507 i 5508/5509 [The library of logic gates for self-timed designing of application specified logic circuits]. Moscow: IPI RAN, 2012, 238 p.

17. Basaev A.S. et al. Metodologiya proektirovaniia radiatsionno-stoikikh mikroskhem na osnove BMK dlia kosmicheskikh apparatov [The methodology of radiation tolerant design of ASIC based microsystems for space applications]. *Problemy razrabotki perspektivnykh mikro-i nanoelektronnykh sistem (MES). Sbornik trudov vserossiiskoi nauchno-tekhnicheskoi konferentsii*. Zelenograd: Institut problem proektirovaniia v mikroelektronike RAN, 2008, no. 1, pp. 1-8.

18. Han J., Orshansky M. Approximate computing: An emerging paradigm for energy-efficient design. *2013 18th IEEE European Test Symposium (ETS)*. IEEE, 2013, pp. 1-6.

19. Yang Z. et al. Approximate XOR/XNOR-based adders for inexact computing. *13th IEEE International Conference on Nanotechnology (IEEE-NANO 2013)*. IEEE, 2013, pp. 690-693.
20. Zimmermann R., Fichtner W. Low-power logic styles: CMOS versus pass-transistor logic. *IEEE journal of solid-state circuits*, 1997, vol. 32, no 7, pp. 1079-1090.
21. Alioto M., Palumbo G. Analysis and comparison on full adder block in submicron technology. *IEEE transactions on very large scale integration (VLSI) systems*, 2002, vol. 10, no. 6, pp. 806-823.
22. Yang C., Ciesielski M. Synthesis for mixed CMOS/PTL logic. *Proceedings Design, Automation and Test in Europe Conference and Exhibition 2000 (Cat. No. PR00537)*. IEEE, 2000, pp. 750.
23. Karnik T., Borkar S., De V. Sub-90nm technologies: challenges and opportunities for CAD. *Proceedings of the 2002 IEEE/ACM international conference on Computer-aided design*, 2002, pp. 203-206.
24. Murugasami R., Ragupathy U.S. Design and comparative analysis of D-Flip-flop using conditional pass transistor logic for high-performance with low-power systems. *Microprocessors and Microsystems*, 2019, vol. 68, pp. 92-101.
25. Kamenskih A.N. The Research into Fault-Tolerant Design Using Pass Transistor Logic. *2019 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIconRus)*. IEEE, 2019, pp. 94-97.

Сведения об авторе

Каменских Антон Николаевич (Пермь, Россия) – кандидат технических наук, доцент кафедры «Автоматика и телемеханика» Пермского национального исследовательского политехнического университета (614990, Пермь, Комсомольский пр., 29, e-mail: antoshkinoinfo@yandex.ru).

About the author

Anton N. Kamenskih (Perm, Russian Federation) – Ph. D. in Technical Sciences, Associate Professor Department of Automation and Telemechanics Perm National Research Polytechnic University (614990, Perm, 29, Komsomolsky pr., e-mail: antoshkinoinfo@yandex.ru).

Получено 02.02.2021