

DOI: 10.15593/2224-9397/2020.2.03

УДК 004.032

**А.Н. Каменских**Пермский национальный исследовательский политехнический университет,  
Пермь, Россия**МОДЕЛИРОВАНИЕ ЭНЕРГОПОТРЕБЛЕНИЯ ГЛОБАЛЬНО-АСИНХРОННЫХ ЛОКАЛЬНО-СИНХРОННЫХ СИСТЕМ**

При разработке устройств вычислительной техники специалисты часто вынуждены делать выбор между минимизацией энергопотребления и обеспечением требуемого уровня надежности. Эти характеристики цифровых устройств существуют в тесной взаимосвязи, и, следовательно, появляется оптимизационная задача – выбор оптимального метода повышения надежности/снижения энергопотребления. В связи с задачей минимизации энергопотребления, которая является частью тренда внедрения технологий «зеленых» энергоэффективных вычислений, широкое распространение получили самосинхронные (асинхронные) схемы, которые позволяют эффективно применять методы динамического масштабирования напряжения и частоты. Однако самосинхронные схемы показывают плохие результаты в системах с разрядностью выше 64 бит и в вычислительных процессах с высокой параллельностью, что подтолкнуло ученых к разработке гибридных решений – глобально-асинхронных локально-синхронных схем, которые используют наиболее эффективные методы для конкретного узла устройства. Проектирование законченного устройства с каждым допустимым методом обеспечения надежности для того, чтобы оценить его характеристики, является слишком трудозатратным, а без этого невозможно с достаточной точностью предположить конечные характеристики цифрового устройства. **Цель исследования:** разработка достаточно точных моделей энергозатрат и надежности для базовых логических элементов с различными типами резервирования, на основе которых можно будет достаточно точно судить о характеристиках конечных устройств. **Результаты:** моделирование на транзисторном уровне базисных элементов синхронных логических схем с различными типами резервирования показало преимущество резервирования на транзисторном уровне относительно мажоритарного резервирования по характеристике энергопотребления. Глобально-асинхронные локально-синхронные (ГАЛС) системы обладают лучшими показателями по энергоэффективности относительно синхронных схем. Ставится задача обеспечения энергонадежности ГАЛС-систем.

**Ключевые слова:** асинхронные схемы, глобально-асинхронные локально-синхронные схемы (ГАЛС), энергоэффективность, надежность, моделирование, энергонадежность.

**A.N. Kamenskikh**

Perm National Research Polytechnic University, Perm, Russian Federation

## **THE SIMULATION OF ENERGY CONSUMPTION IN GLOBALLY ASYNCHRONOUS LOCALLY SYNCHRONOUS SYSTEMS**

The specialists often faces with problem of choice between minimization of energy-consumption and reliability requirements when developing digital devices. The both energy and reliability characteristics has affect each over. Therefore, the optimization task of energy-consumption and reliability through appropriate synthesis methods appears. The asynchronous delay insensitive circuits became more popular because of development of green computing technologies. Delay insensitive circuits allow efficiently using methods of dynamic voltage and frequency scaling. However, the simulation of a delay-insensitive circuits show bad results in systems with more than 64-bit computing or in computing processors with highly parallelism. This results in applying of complex solutions such as globally asynchronous locally synchronous circuits which using most efficient methods for local computing units of a digital device. The development of completed digital device with each possible method is very difficult task, but nowadays only, it allows accurate assessment of device's parameters. This problem is appear because of shortcomings of transistors model of modern technical processes. **Purpose:** The development of accurate models of energy/reliability for logic gates. **Results:** The simulation results of basic logic gates with different types of redundancy show that transistor level redundancy better than n-of-m redundancy in terms of energy-efficiency. The energy-efficiency of globally asynchronous locally synchronous circuits better than energy-efficiency of synchronous circuits. In conclusion, the tasks of research and development of energy/reliable methods for GALS-systems are set.

**Keywords:** asynchronous circuits, globally asynchronous locally synchronous circuits, energy-efficiency, reliability, simulation, energy-reliability.

**Введение.** Глобальный тренд повышения энергоэффективности стал основным направлением развития вычислительной техники за последние десять лет [1, 2]. В связи с распространением методов динамического масштабирования напряжения и частоты работы стали набирать популярность самосинхронные схемы. Особенно актуальна задача оптимизации энергопотребления отказоустойчивых цифровых схем [3]. В работе [4–6] были предложены модели энергозатраты/надежность (ЭН) для самосинхронных схем, которые позволяют выбрать наиболее подходящий метод повышения надежности для определенного цифрового устройства. Для построения моделей были использованы результаты симуляции множества различных схем на различных моделях транзисторов. Предложенные модели включали в себя параметры энергопотребления схем индикации и не учитывали потребление сигналов синхронизации, в связи с этим они не применимы к синхронным схемам и любым решениям, которые используют синхронный подход, в том числе глобально-асинхронным локально-синхронным схемам [7, 8].

Известно, что статическое энергопотребление зависит от тока утечки, т.е. напрямую зависит от количества логических элементов (ЛЭ), а динамическое энергопотребление зависит от частоты ( $f$ ), напряжения ( $U$ ) и емкости ( $C$ ) [9–12]. Разработчики идут на снижение частоты для снижения динамического энергопотребления. Снижение частоты позволяет снизить абсолютный показатель динамического энергопотребления, но при этом увеличивается время выполнения операций. В результате время выполнения задачи увеличивается, а поскольку количество операций в задаче остается неизменным, то общие затраты энергии на операцию могут даже вырасти. Таким образом, подход уменьшения частоты для снижения энергопотребления в целом является ошибочным [13].

Параметр емкости ЛЭ является константным для библиотек элементов и не может быть изменен схемотехником. Таким образом, остается только один параметр – напряжение, который можно изменять для получения выигрыша в энергопотреблении. Следует отметить, что напряжения и частота находятся в зависимости, так как снижение напряжения увеличивает время переходных процессов, необходимое для перезарядки емкости ЛЭ [14].

Для развития методов оптимизации проектирования цифровых устройств необходимо знать, как методы повышения надежности повлияют на энергоэффективность и производительность ГАЛС-устройств.

Целью работы является получение параметров энергопотребления базовых логических элементов синхронных и ГАЛС-систем на транзисторном уровне с помощью методов схемотехнического моделирования.

**1. Моделирование энергозатрат базисных логических элементов на транзисторном уровне.** Для моделирования будет использоваться модель транзистора `bsim v3.3` для технологии 180 нм. Известно, что погрешность данных моделей может быть до 30 %. Дополнительно следует учесть погрешность из-за использования идеального источника питания. Для того чтобы снизить влияние погрешности от идеального источника питания и других негативных факторов `bsim` моделей [15], в качестве объекта моделирования будет выступать не единичный ЛЭ, а цепочка ЛЭ (рис. 1).

Первый эксперимент проведем с цепочкой из десяти инвертеров. Для каждой схемы приведены средние значения тока потребления и задержек (табл. 1).

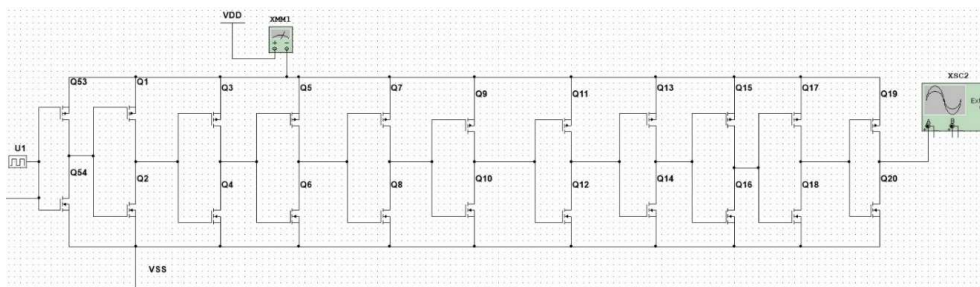


Рис. 1. Цепочка из десяти инверторов

Таблица 1

Результаты моделирования энергопотребления и задержек в цепочке из десяти ЛЭ

Ток, мкА	Длина импульса, нс	Длина фронта, пс	Длина среза, пс	Напряжение, В	Частота, МГц	Тип резервирования
10,254	9,963	579	641	3	100	НР
34,516	9,988	637	668	3	100	МР
26,776	10,087	741	791	3	100	РТУ

Так как ток потребления ( $I_t$ ) при МР определяется по формуле  $I_t = I_p + I_k$ , где  $I_p$  – ток устройства с резервированием, а  $I_k$  – ток устройства контроля, то целесообразно отдельно определить каждый ток –  $34,516 = (32,48 + 2,036)$ .

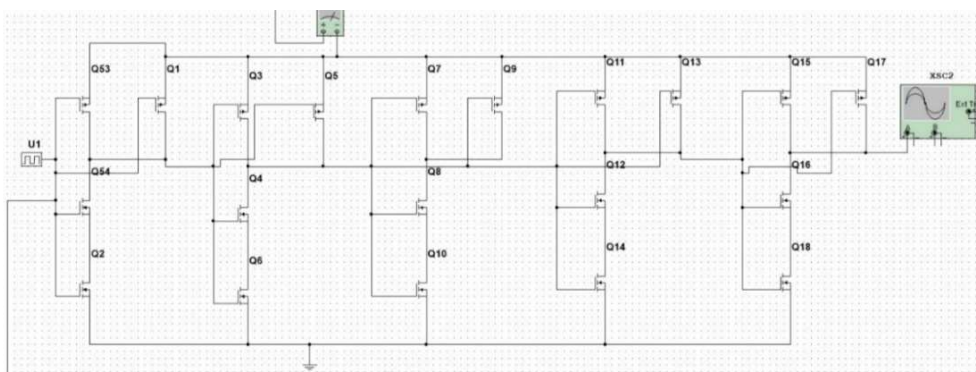


Рис. 2. Цепочка из пяти ЛЭ 2-И-НЕ

Таким образом, можно вывести соотношения:

1. Для энергопотребления  $НР < РТУ < МР = 1 < 2,6 < 3,35 (3,16+0,19)$ .
2. Для задержек  $НР < МР < РТУ = 1 < 1,06 < 1, 25$ .

Второй эксперимент проведем с цепочкой из пяти элементов 2-И-НЕ для того, чтобы лучше оценить зависимость параметров МР от сложности подсхемы (рис. 2).

Таблица 2

Результаты моделирования энергопотребления и задержек  
в цепочке из пяти ЛЭ

Ток, мкА	Длина импульса, нс	Длина фронта, пс	Длина среза, пс	Напряжение, В	Частота, МГц	Тип резервирования
7,254	9,963	609	696	3	100	НР
2,002+23,823	9,988	685	758	3	100	МР
26,717	9,738	630	817	3	100	РТУ

В схеме из 5 последовательно соединённых 2-И-НЕ элементов с различными типами отказоустойчивости наилучшим показателем по энергопотреблению, очевидно, обладают схемы без резервирования, а энергопотребление МР и РТУ оказывается сопоставимым: разница составила всего (~3 %). При этом задержка в РТУ оказалась ниже, чем в МР. Следовательно, РТУ оказывается эффективнее в схемах с небольшим количеством последовательно соединённых элементов.

Если сравнить полученные результаты для синхронных и асинхронных схем, то можно отметить, что в синхронных схемах МР вносит меньшую задержку, чем ТР [16]. Это обусловлено тем, что в синхронных схемах нет необходимости индицировать окончание переходных процессов в мажоритарных элементах, что значительно упрощает схему резервирования.

**2. Моделирование энергопотребления в глобально-асинхронных локально-синхронных схемах.** Простейшим классом ГАЛС-схем являются схемы, предложенные в работах Д. Шапиро, с фильтрацией синхросигнала (англ. Pausable clock GALS design style) [17, 18] (рис. 3).

В отечественной литературе предлагается метод разработки глобально-асинхронных локально-произвольных схем [19]. Для исследования работы ГАЛП-систем предлагается стенд с асинхронным и синхронным каналом. В рамках эксперимента проведем замеры частоты и энергопотребления в синхронном канале в зависимости от задержек в асинхронном канале. На входе схемы размещается С-элемент Маллера, который пропускает синхросигнал только в том случае, если схема готова обрабатывать новые данные, в этом случае синхронный канал должен обработать данные за один такт (рис. 4).

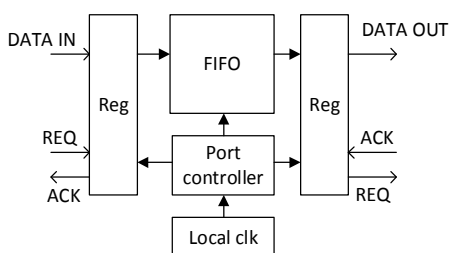


Рис. 3. ГАЛС-система с фильтрацией локального синхросигнала

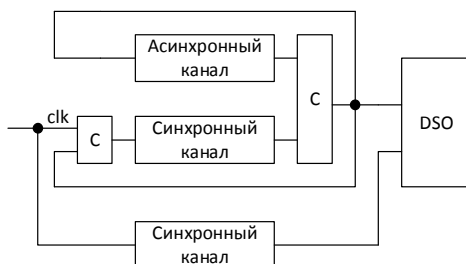


Рис. 4. Модель для исследования энергопотребления в ГАЛС-схемах

В результате частота работы синхронного канала подстраивается под частоту работы асинхронного канала, что приводит к снижению количества переключений в синхронной схеме и, как следствие, снижает протекающий ток (рис. 5).

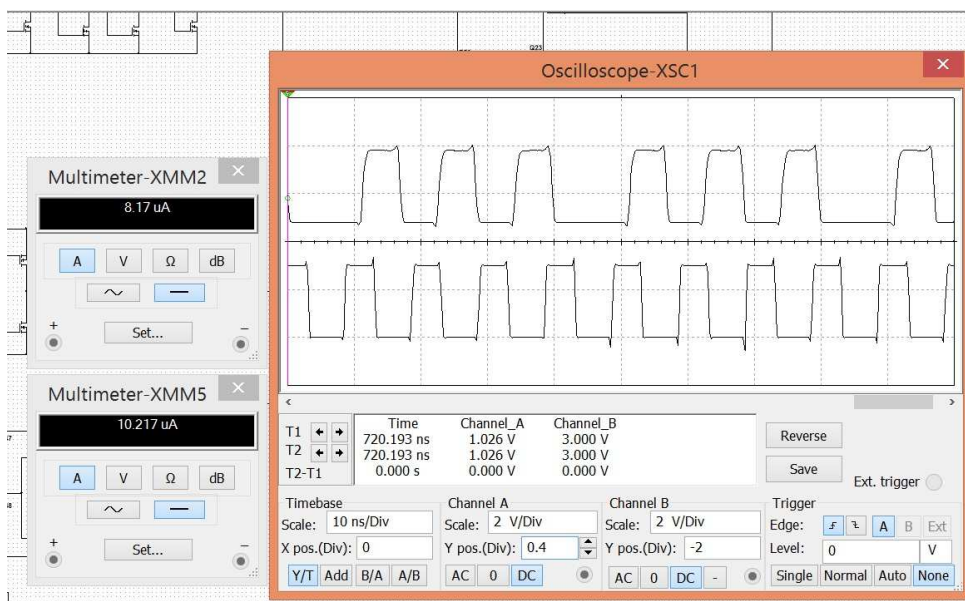


Рис. 5. Моделирование ГАЛС-системы в сравнении с синхронной системой: XMM2 – мультиметр синхронной подсхемы ГАЛС-системы, XMM5 – мультиметр синхронной системы, канал А осциллографа – выход ГАЛС-системы, канал Б осциллографа – выход синхронной системы

Снижение энергопотребления тем выше, чем больше разница между базовой частотой работы (частота синхронной схемы) и частотой запросов, данных от внешней среды (часто самосинхронной схемы) (табл. 3).

Таблица 3

Результаты измерения тока потребления модели ГАЛС-системы

Частота, МГц	$I_s$ , мкА	$I_{gals}$ , мкА	$I_s / I_{gals}$
50	5,06	5,37	0,88
100	10,23	8,20	1,24
150	15,39	7,01	2,19
200	20,36	7,41	2,75

**Выводы.** Основным направлением улучшения энергоэффективности вычислительной техники является исключение энергозатрат, не связанных с выполнением функций устройства, – токов утечки, паразитных переключений и т.д. ГАЛС-системы обеспечивают снижение энергопотребления относительно синхронных устройств, при этом способны обходить недостатки асинхронного подхода, связанные со сложностью индикации времени окончания переходных процессов в многоразрядных системах и при высокой параллельности вычислений [20]. Однако на сегодняшний день нет методов синтеза оптимальных ГАЛП-структур, в частности, не хватает моделей, на основе которых можно было бы делать выбор: в каком случае подсистема должна быть асинхронной, а в каком синхронной. Результаты моделирования позволяют сформировать модель энергозатраты/надежность для базовых логических элементов. Полученные модели будут использованы при разработке метода синтеза оптимальной ГАЛС-структуры по параметрам энергозатрат и надежности.

### Библиографический список

1. Kharchenko V., Kondratenko Y., Kasprzyk J. (ed.). Green IT engineering: concepts, models, complex systems architectures // Springer International Publishing, 2017. – 305 p. DOI: 10.1007/978-3-319-44162-7
2. Wang D. Meeting green computing challenges // 2008 10th Electronics Packaging Technology Conference. – IEEE, 2008. – P. 121–126. DOI: 10.1109/EPTC.2008.4763421
3. Kamenskikh A.N., Stepchenkov Y.A., Tyurin S.F. Problems of analysis of semimodularity and energy-reliability of resilient self-timed circuits // Russian Electrical Engineering. – 2015. – 86(11). – P. 646–650. DOI: 10.3103/S1068371215110061

4. Kamenskih A.N. The decrease of energy-consumption in fault-tolerant digital devices: Principles, models and algorithms // 2017 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EConRus). – IEEE, 2017. – P. 295–300. DOI: 10.1109/EConRus.2017.7910550

5. Kamenskih A.N., Tyurin S.F. Advanced approach to development of energy-aware and naturally reliable computing systems // 2015 IEEE NW Russia Young Researchers in Electrical and Electronic Engineering Conference (EConRusNW). – IEEE, 2015. – P. 75–77. DOI: 10.1109/EConRusNW.2015.7102235

6. Fault-tolerant self-timed serial-parallel port: variants of realization / Y.A. Stepchenkov [et al.] // Systems and Means of Informatics. – 2016. – Vol. 26. – No. 3. – P. 48–59.

7. Dynamic voltage and frequency scaling architecture for units integration within a GALS NoC / E. Beigne [et al.] // Second ACM/IEEE International Symposium on Networks-on-Chip (nocs 2008). – IEEE, 2008. – P. 129–138. DOI: 10.1109/NOCS.2008.4492732

8. A 167-processor 65 nm computational platform with per-processor dynamic supply voltage and dynamic clock frequency scaling / D. Truong [et al.] // 2008 IEEE Symposium on VLSI Circuits. – IEEE, 2008. – P. 22–23. DOI: 10.1109/VLSIC.2008.4585936

9. Yakovlev A. Energy-modulated computing // 2011 Design, Automation & Test in Europe. – IEEE, 2011. – P. 1–6. DOI: 10.1109/DATE.2011.5763216

10. Energy-efficient processor design using multiple clock domains with dynamic voltage and frequency scaling / G. Semeraro [et al.] // Proceedings Eighth International Symposium on High Performance Computer Architecture. – IEEE, 2002. – P. 29–40. DOI: 10.1109/HPCA.2002.995696

11. Dynamic voltage and frequency scaling based on workload decomposition / K. Choi [et al.] // Proceedings of the 2004 international symposium on Low power electronics and design. – ACM, 2004. – P. 174–179.

12. Le Sueur E., Heiser G. Dynamic voltage and frequency scaling: The laws of diminishing returns // Proceedings of the 2010 international conference on Power aware computing and systems. – 2010. – P. 1–8.

13. Green experiments with FPGA / A. Drozd [et al.] // Green IT Engineering: Components, Networks and Systems Implementation. – Springer, Cham, 2017. – P. 219–239.



14. Денисенко В. Компактные модели МОП-транзисторов для SPICE в микро-и наноэлектронике. – Litres, 2018.
15. Денисенко В. Моделирование разброса параметров транзисторов в КМОП СБИС // Компоненты и технологии. – 2004. – № 36. – С. 28–34.
16. Каменских А.Н. Моделирование влияния резервирования на энергопотребление самосинхронных схем // Вестник Пермского университета. Математика. Механика. Информатика. – 2015. – № 4. – С. 91–94.
17. Chapiro D.M. Globally-Asynchronous Locally Synchronous Systems, doctoral dissertation. – Dept. of Computer Science, Stanford Univ., 1984.
18. Yakovlev A., Vivet P., Renaudin M. Advances in asynchronous logic: From principles to GALS & NoC, recent industry applications, and commercial CAD tools // Proceedings of the Conference on Design, Automation and Test in Europe. – EDA Consortium, 2013. – P. 1715–1724.
19. Мараховский В.Б., Мелехин В.Ф. Проектирование средств синхронизации блоков глобально асинхронных систем с произвольной локальной синхронизацией // Информационно-управляющие системы. – 2010. – № 1. – С. 29–38.
20. Energy Efficient Speed-Independent 64-bit Fused Multiply-Add Unit / Y. Stepchenkov [et al.] // 2019 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus). – IEEE, 2019. – P. 1709–1714. DOI: 10.1109/EIConRus.2019.8657207

## References

1. Kharchenko V., Kondratenko Y., Kacprzyk J. (ed.). Green IT engineering: concepts, models, complex systems architectures. *Springer International Publishing*, 2017, 305 p. DOI: 10.1007/978-3-319-44162-7
2. Wang D. Meeting green computing challenges. *2008 10th Electronics Packaging Technology Conference*. IEEE, 2008, pp. 121-126. DOI: 10.1109/EPTC.2008.4763421
3. Kamenskikh A.N., Stepchenkov Y.A., Tyurin S.F. Problems of analysis of semimodularity and energy-reliability of resilient self-timed circuits. *Russian Electrical Engineering*, 2015, 86(11), pp. 646-650. DOI: 10.3103/S1068371215110061
4. Kamenskikh A.N. The decrease of energy-consumption in fault-tolerant digital devices: Principles, models and algorithms. *2017 IEEE*

*Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIconRus)*. IEEE, 2017, pp. 295-300. DOI: 10.1109/EIconRus.2017.7910550

5. Kamenskih A.N., Tyurin S.F. Advanced approach to development of energy-aware and naturally reliable computing systems. *2015 IEEE NW Russia Young Researchers in Electrical and Electronic Engineering Conference (EIconRusNW)*. IEEE, 2015, pp. 75-77. DOI: 10.1109/EIconRusNW.2015.7102235

6. Stepchenkov Y.A. et al. Fault-tolerant self-timed serial-parallel port: variants of realization. *Systems and Means of Informatics*, 2016, vol. 26, no. 3, pp. 48-59.

7. Beigne E. et al. Dynamic voltage and frequency scaling architecture for units integration within a GALS NoC. *Second ACM/IEEE International Symposium on Networks-on-Chip (nocs 2008)*. IEEE, 2008, pp. 129-138. DOI: 10.1109/NOCS.2008.4492732

8. A 167-processor 65 nm computational platform with per-processor dynamic supply voltage and dynamic clock frequency scaling / D. Truong [et al.] // 2008 IEEE Symposium on VLSI Circuits. – IEEE, 2008. – P. 22–23. DOI: 10.1109/VLSIC.2008.4585936

9. Yakovlev A. Energy-modulated computing. *2011 Design, Automation & Test in Europe*. IEEE, 2011, pp. 1-6. DOI: 10.1109/DATE.2011.5763216

10. Semeraro G. et al. Energy-efficient processor design using multiple clock domains with dynamic voltage and frequency scaling. *Proceedings Eighth International Symposium on High Performance Computer Architecture*. IEEE, 2002, pp. 29-40. DOI: 10.1109/HPCA.2002.995696

11. Choi K. et al. Dynamic voltage and frequency scaling based on workload decomposition. *Proceedings of the 2004 international symposium on Low power electronics and design*. ACM, 2004, pp. 174-179.

12. Le Sueur E., Heiser G. Dynamic voltage and frequency scaling: The laws of diminishing returns. *Proceedings of the 2010 international conference on Power aware computing and systems*, 2010, pp. 1-8.

13. Drozd A. et al. Green experiments with FPGA. *Green IT Engineering: Components, Networks and Systems Implementation*. Springer, Cham, 2017, pp. 219-239.

14. Denisenko V. Kompaktnye modeli MOP-tranzistorov dlia SPICE v mikro- i nanoelektronike [Compact models of MOP-transistors for SPICE in mikro-nano-electronics]. Litres, 2018.

15. Denisenko V. Modelirovanie razbrosov parametrov tranzistorov v KMOP SBIS [Compact models of MOP-transistors for SPICE in mikro-nano-electronics]. *Komponenty i tekhnologii*, 2004, № 36, pp. 28-34.

16. Kamenskikh A.N. Modelirovanie vliianiia rezervirovaniia na energopotreblenie samosinkhronnykh skhem [The simulation of influence of redundancy on energy-consumption of self-timed circuits]. *Vestnik Permskogo universiteta. Matematika. Mekhanika. Informatika*, 2015, no. 4, pp. 91-94.

17. Chapiro D.M. Globally-Asynchronous Locally Synchronous Systems, doctoral dissertation. Dept. of Computer Science, Stanford Univ., 1984.

18. Yakovlev A., Vivet P., Renaudin M. Advances in asynchronous logic: From principles to GALS & NoC, recent industry applications, and commercial CAD tools. *Proceedings of the Conference on Design, Automation and Test in Europe*. EDA Consortium, 2013, pp. 1715-1724.

19. Marakhovskii V.B., Melekhin V.F. Proektirovanie sredstv sinkhronizatsii blokov global'no asinkhronnykh sistem s proizvol'noi lokal'noi sinkhronizatsiei [Design of module synchronization facilities in globally asynchronous multiprocessor systems with arbitrary local synchronization]. *Informatsionno-upravliaiushchie sistemy*, 2010, no. 1, pp. 29-38.

20. Stepchenkov Y. et al. Energy Efficient Speed-Independent 64-bit Fused Multiply-Add Unit. *2019 IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (EIConRus)*. IEEE, 2019, pp. 1709-1714. DOI: 10.1109/EIConRus.2019.8657207

### **Сведения об авторе**

**Каменских Антон Николаевич** (Пермь, Россия) – кандидат технических наук, доцент кафедры «Автоматика и телемеханика» Пермского национального исследовательского политехнического университета (614990, Пермь, Комсомольский пр., 29. e-mail: antoshkinoinfo@yandex.ru).

### **About the author**

**Kamenskikh Anton Nikolaevich** (Perm, Russian Federation) is a Ph. D. in Technical Sciences, Associate Professor Department of Automation and Telemechanics Perm National Research Polytechnic University (614990, Perm, 29, Komsomolsky pr., e-mail: antoshkinoinfo@yandex.ru).

Получено 06.04.2020