

DOI: 10.15593/2224-9397/2020.1.04

УДК 681.32

С.Ф. Тюрин

Пермский национальный исследовательский политехнический университет,
Пермь, Россия

Пермский государственный национальный исследовательский университет,
Пермь, Россия

ЛОГИКА «БИЛЛИАРДНОГО» КОМПЬЮТЕРА

В настоящее время активно ведутся исследования в области квантовых вычислений, квантовых компьютеров. Скорее всего, квантовые вычислители, как это уже было в истории науки много раз, не являются панацеей, а займут свою нишу наравне с обычными вычислителями. Более того, в этой области имеются некоторые особенности, которые могут быть использованы и в бинарной логике. Речь идёт о так называемых обратимых вычислениях и специальных элементах, например элементах Фредкина.

Цель исследования: разработка методики исследования схем биллиардной логики на практических занятиях, разработка дешифратора и элемента памяти, элемента Фредкина для использования на лабораторных занятиях.

Методы: анализ работы биллиардного полного сумматора, синтез дешифратора и элемента памяти, элемента Фредкина на базе LUT FPGA.

Результаты: в исследовании подробно по шагам рассматривается пример таких вычислений и предлагается элемент для их реализации в бинарной логике. Анализируется работа схемы «вперёд» и «назад» с использованием символов «биллиардных» шаров. Предложены дешифратор и элемент памяти, элемент Фредкина на основе элемента LUT FPGA. Выполняется моделирование в системе схемотехнического моделирования NI Multisim фирмы National Instruments Electronics Workbench Group, подтверждающее работоспособность предложенного элемента.

Практическая значимость: методика исследования схем биллиардной логики может быть использована на практических занятиях, разработанный элемент Фредкина может быть использован на лабораторных занятиях.

Ключевые слова: биллиардный компьютер, полный сумматор, элемент Фредкина.

S.F. Tyurin

Perm National Research Polytechnic University, Perm, Russian Federation
Perm State University, Perm, Russian Federation

«BILLIARD» COMPUTER'S LOGIC

Currently, research is actively ongoing in the field of quantum computing, quantum computers. Most likely, quantum computers, as it was already in the history of science many times, is not a panacea, but will occupy its niche on a par with conventional calculators. Moreover, in this area there are some features that can be used in binary logic. We are talking about the so-called reversible calculations and special elements, for example, Fredkin's elements.

Purpose: development of a methodology for studying billiard logic circuits in practical classes, development of the development of a decoder and a memory element, Fredkin element for use in laboratory classes.

Methods: The analysis of the billiard full adder, the synthesis of the decoder and a memory element, Fredkin element based on the LUT FPGA.

Results: The study tested in detail the steps of an example of such calculations and offers an element for their implementation in binary logic. The circuit operation of the “forward” and “backward” using the symbols of “billiard” balls is analyzed. Decoder and memory element developed, Fredkin element based on the LUT FPGA. Running simulation in NI Multisim, the system of the company National Instruments Electronics Workbench Group circuit simulation, confirming the workability of the proposed gate.

Practical relevance: a technique for studying billiard logic circuits is useful in practical exercises; the developed Fredkin element can be used in laboratory classes.

Keywords: Billiard-Ball Computing, Full Adder, Fredkin Gate.

Введение. Квантовые компьютеры, квантовая логика уже настойчиво стучатся в наши двери [1–3]. Видимо, пришла пора предметно знакомить студентов с основами новой логики как в дисциплинах «Дискретная математика», «Математическая логика и теория алгоритмов», так и в «Схемотехнике», да и в других дисциплинах. В таких вузах, как, например, ИТМО давно изданы соответствующие учебники [4]. Тематика квантовых элементов включается в студенческие работы Московского автомобильно-дорожного государственного технического университета (МАДИ) [5]. Обратимые вычисления дают новый толчок теории автоматов (клеточные автоматы), теории алгоритмов, теории вычислимости и др. [6, 7]. Особое внимание уделяется новым логическим элементам [8–9].



Рис. 1. Томаццо Тоффоли (р. 1943), американско-итальянский ученый, профессор Бостонского университета

Такие элементы призваны резко снизить энергозатраты, ибо в них на вычисления выделяются определенные кванты энергии, которые иногда образно называют «биллиардными шарами», а сам компьютер – механическим, биллиардным компьютером. Сами вычисления производятся по простым правилам, и, может быть, самое главное, они могут быть «повернуты вспять», т.е., всегда можно однозначно по результату восстановить исходное состояние, если, конечно, в устройстве нет неисправностей.

Один из первых элементов такой логики – управляемый инвертор [10], предложенный Т. Тоффоли (рис. 1) в 1980 г.

Элемент Тоффоли (рис. 2) в случае, если $C=B=1$ (это управляющие входы), выполняет инверсию входа A , иначе сигналы C, B, A проходят на выход без изменения.

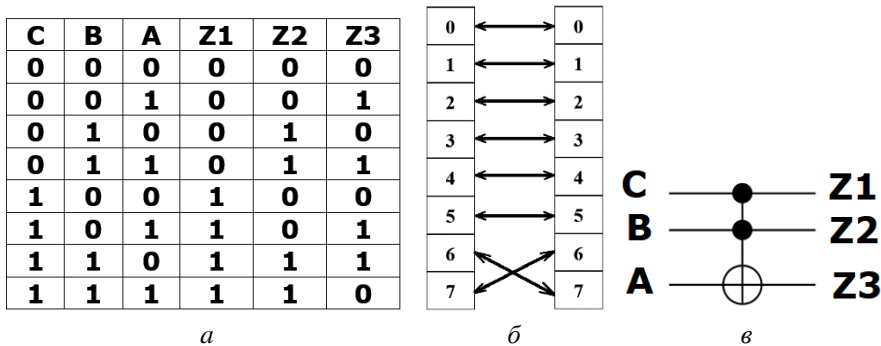


Рис. 2. Элемент Тоффоли: *a* – таблица истинности; *б* – биекция вход-выход; *в* – условное обозначение

Удивительным является тот факт, что количество входов равно количеству выходов и два выхода просто повторяют входы. Анализ таблицы истинности элемента Тоффоли позволяет установить реализуемую систему логических функций:

$$\begin{cases} Z_1(CBA) = C; \\ Z_2(CBA) = B; \\ Z_3(CBA) = \bar{C}A \vee \bar{B}A \vee C\bar{B}\bar{A}. \end{cases} \quad (1)$$

В элементе Тоффоли биекция не сохраняет четность (см. рис. 2). Предположительно в 1983 г. Эдвард Фредкин (рис. 3) совместно с Тоффоли предложил элемент, имеющий несколько измененную биекцию вход-выход (рис. 4).



Рис. 3. Эдвард Фредкин (р.1934) в 60-е гг. XX в., профессор университета Карнеги Меллона

Элемент Фредкина [11,12] имеет взаимно-однозначное соответствие трех его входов А,В,С (управляющий только С) и трех выходов F1,F2,F3, сохраняющее четность:

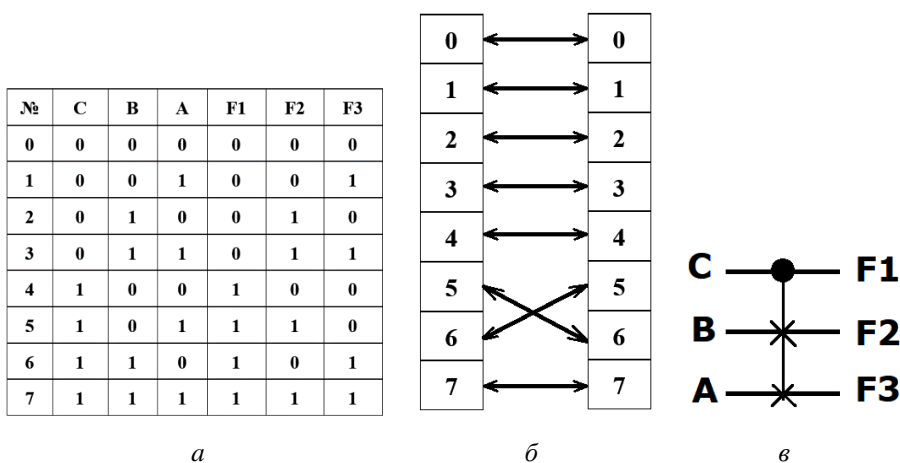


Рис. 4. Элемента Фредкина: *а* – таблица истинности; *б* – биекция вход-выход; *в* – условное обозначение

При С=1 информация на входах В и А меняется местами с информацией на выходах (swar). Взаимно-однозначное соответствие означает, что по выходам элемента всегда можно определить значение

входов. Поэтому и получается обратимая логика: элемент работает как в прямом, так и в обратном направлении. Применяется терминология «бильярдных» шаров, под которыми можно понимать q -биты и просто биты. То есть «шары» (например, единицы, ноль означает «шара нет») могут катиться и туда, и обратно [11, 12]. Анализ таблицы истинности элемента Фредкина позволяет установить реализуемую систему логических функций:

$$\begin{cases} F_1 = C; \\ F_2 = CA \vee \bar{C}B; \\ F_3 = \bar{C}A \vee CB. \end{cases} \quad (2)$$

Можно показать, что при определенных условиях (настройке) элемент Фредкина может реализовать функционально полную систему логических функций: И, ИЛИ, НЕ. Синтезу схем, в том числе с памятью, из таких элементов посвящено достаточно много работ [13–18]. Однако подробное, пошаговое описание, пригодное для использования на занятиях с младшими курсами, автором найдено не было. Обратимый подход также полезен и в области контроля и диагностики, обеспечения надежности [16].

1. Прямое вычисление суммы и выходного переноса. Рассмотрим реализацию полного сумматора [11] двух бинарных входов $p=1$ и $q=1$ с входным переносом $r=1$ (рис. 5).

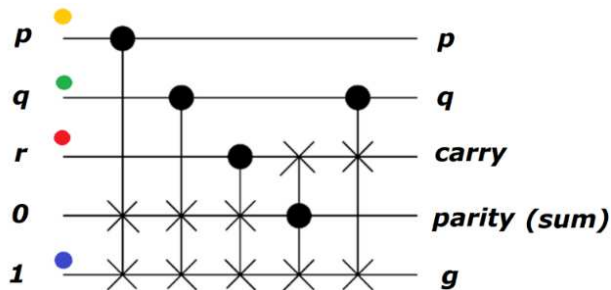


Рис. 5. Исходное состояние одноразрядного полного сумматора из пяти элементов Фредкина перед началом вычислений $p+q+r$; $p=1, q=1, r=1$

Имеется пять линий (рядов) для движения разноцветных «шаров», символизирующих единицы информации. Дополнительные входы 0 и 1 – это константы. Разветвления не допускаются, ибо количество «шаров» не может увеличиваться. Необходимо определить сумму (sum),

parity) и выходной перенос (carry). На первом шаге срабатывает первый элемент и на выходе появляется сигнал (рис. 6), т.е. выход повторяет вход, но это не результат вычислений. Сигнал с входа константы 1 появляется на втором выходе первого элемента. Соответственно сигнал с входа константы 0 появляется на третьем выходе. Поскольку это ноль, то «шара» нет.

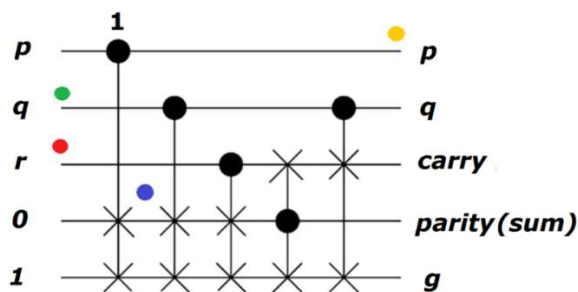


Рис. 6. Первый шаг: срабатывает первый элемент

На втором шаге срабатывает второй элемент, и синий шар опять перемещается на пятую линию (рис. 7).

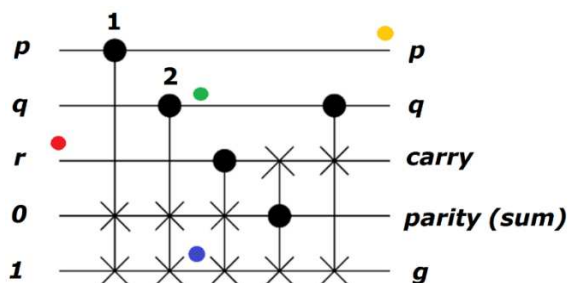


Рис. 7. Второй шаг: срабатывает второй элемент

Но затем, на третьем шаге, после срабатывания третьего элемента синий шар перемещается на четвертую линию (рис. 8).

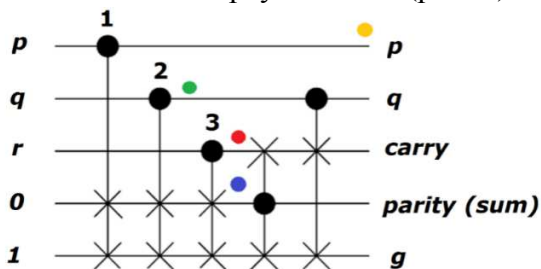


Рис. 8. Третий шаг: срабатывает третий элемент

Теперь на четвертом шаге этот синий «шар» находится на управляющем входе четвертого элемента, соответственно, красный «шар» перемещается на пятую линию (рис. 9).

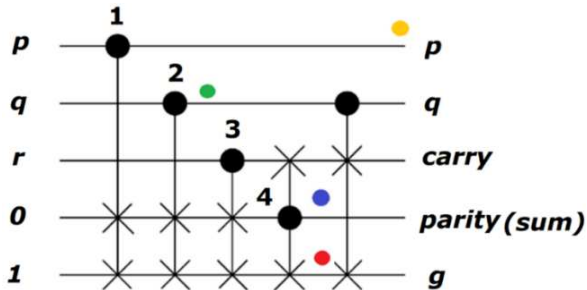


Рис. 9. Четвертый шаг: срабатывает четвертый элемент

Этот синий «шар» появляется на выходе суммы sum, parity, все верно, $1+1+1$ – это 1. А перенос (carry) формируется на пятом шаге (рис. 10).

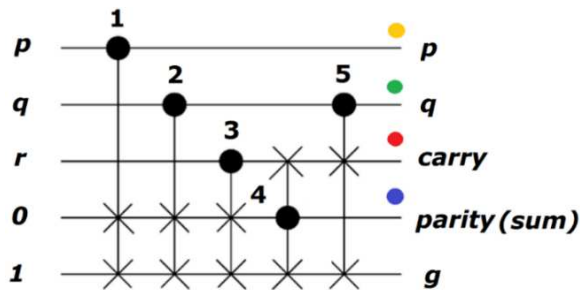


Рис. 10. Пятый шаг: срабатывает пятый элемент

Вычисления закончены. На выходе имеем результаты и исходные данные. Кроме того, один из выходов g как бы «лишний». Легко увидеть, что при нулевых операндах константа 1 с пятого входа как раз и пройдет на этот выход g .

2. Обратное вычисление. На самом деле выход g совсем не лишний. Без него обратные вычисления при нулевых операндах не пройдут. Итак, повернем процесс «вспять», справа-налево. На первом обратном шаге срабатывает пятый элемент (рис. 11).

Красный «шар» переноса уходит на пятую линию (см. рис. 11). Аналогично рассуждая и выполняя ещё четыре обратных шага, получим в конце концов исходные данные (рис. 12).

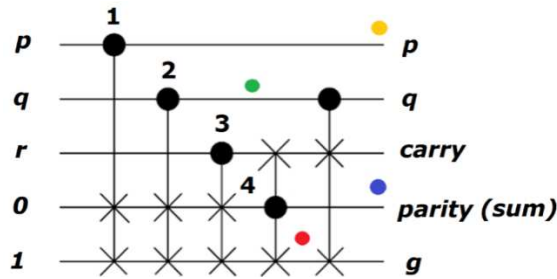


Рис. 11. Первый шаг обратного вычисления, срабатывает пятый элемент справа-налево

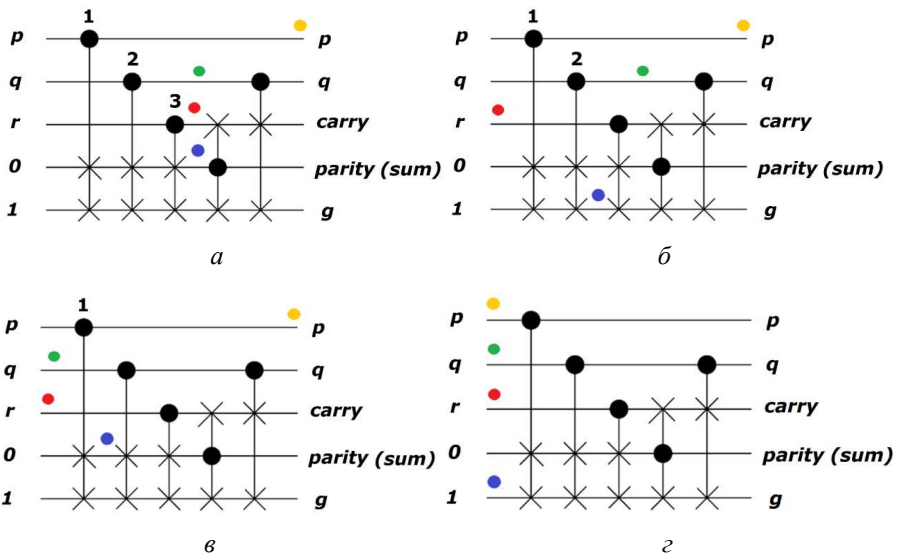


Рис. 12. Обратное вычисление: *a* – второй обратный шаг, срабатывает четвертый элемент; *б* – третий обратный шаг, срабатывает третий элемент; *в* – четвертый обратный шаг, срабатывает второй элемент; *г* – пятый обратный шаг, срабатывает первый элемент, исходное состояние

3. Реализация дешифратора. Очевидно, что элемент Фредкина осуществляет дешифрацию сигнала на управляющем входе С, если на одном из информационных входов В,А задать константу 1, например, на В (А=0), так, как указано на рис. 13, 14.

Получили дешифратор одного разряда. Очевидно, что обратное вычисление реализуется. Для реализации дешифратора двух разрядов, например Х1Х2, придётся входной сигнал повторить (рис. 15).

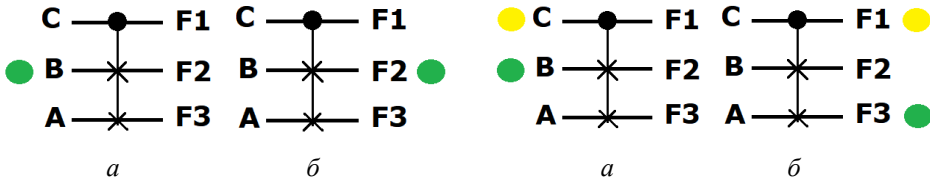


Рис.13. Дешифрация нуля, выход F2

Рис.14. Дешифрация единицы, выход F3

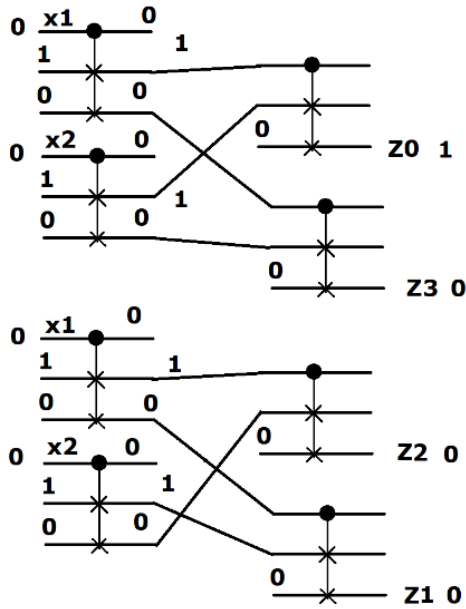


Рис. 15. Дешифрация $x_2=0x_1=0$

Для формализации синтеза таких схем целесообразно применить разложение Шеннона [19].

4. Реализация памяти. Для реализации памяти вводится петля обратной связи (рис. 16).

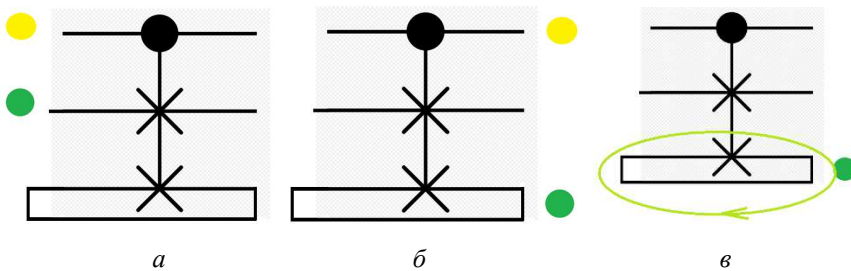


Рис. 16. Элемент памяти: *а* – исходное состояние; *б* – запоминание; *в* – хранение

Сброс осуществляется, например, так, как указано на рис. 17:

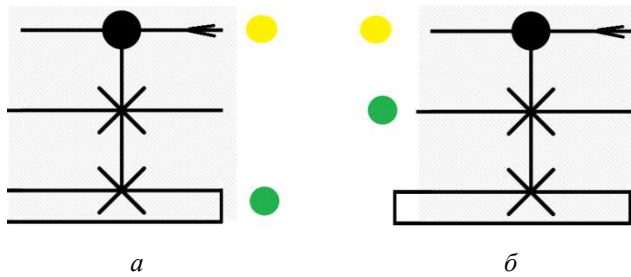


Рис. 17. Сброс памяти: *a* – поступление управляющего сигнала справа; *б* – возврат в исходное состояние

5. Моделирование. Предложим элемент Фредкина на основе элемента LUTFPGA [19]. Выполним моделирование элемента Фредкина в системе схемотехнического моделирования NI Multisim 10 фирмы National Instruments Electronics Workbench Group [20, 21] (рис. 18).

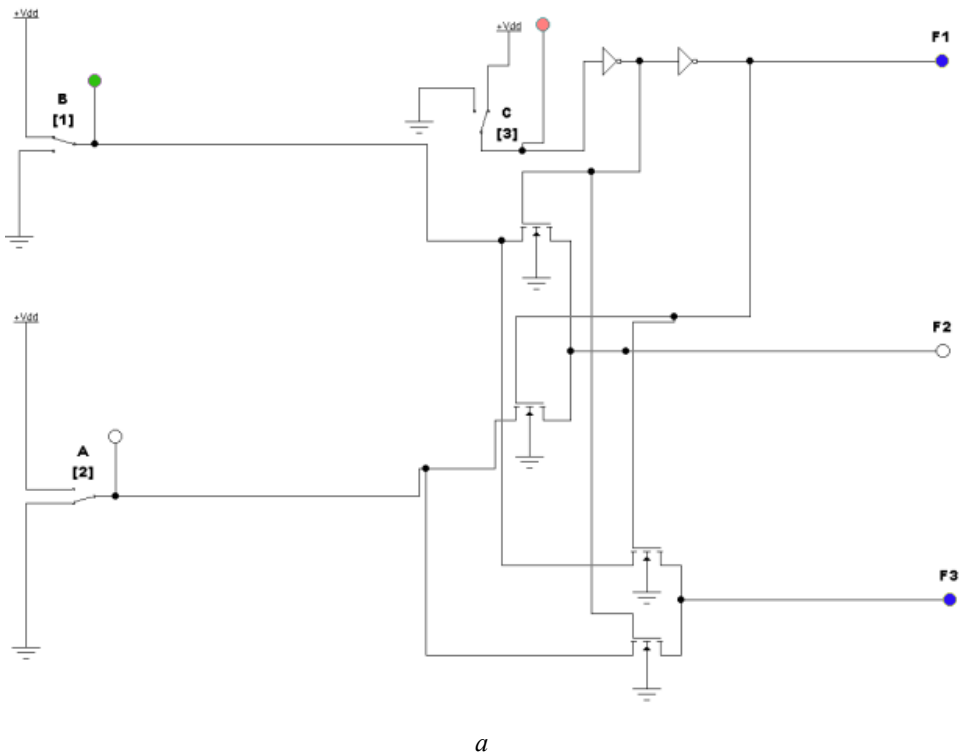
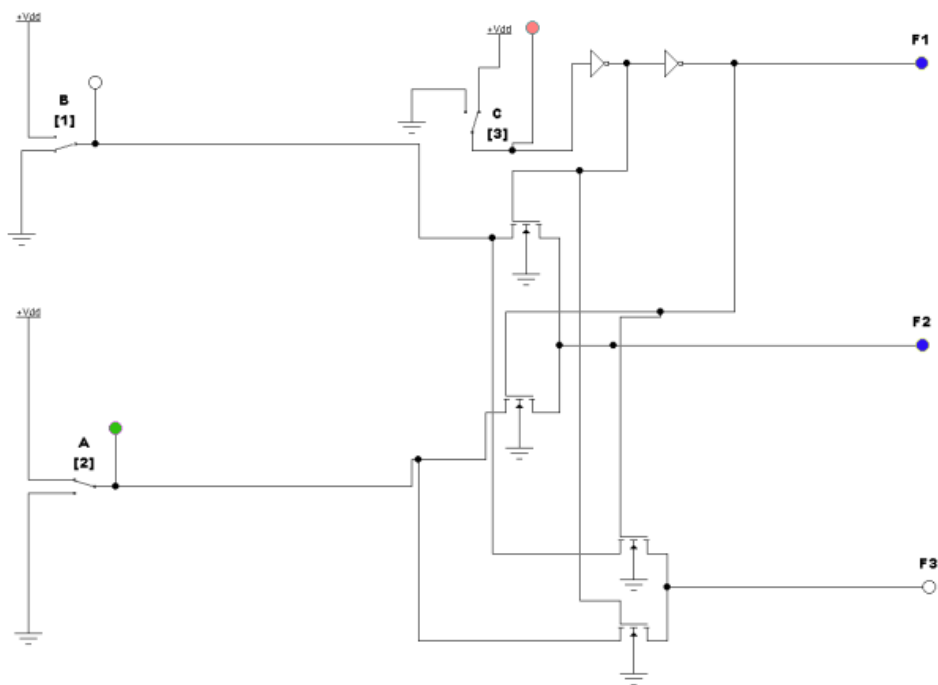
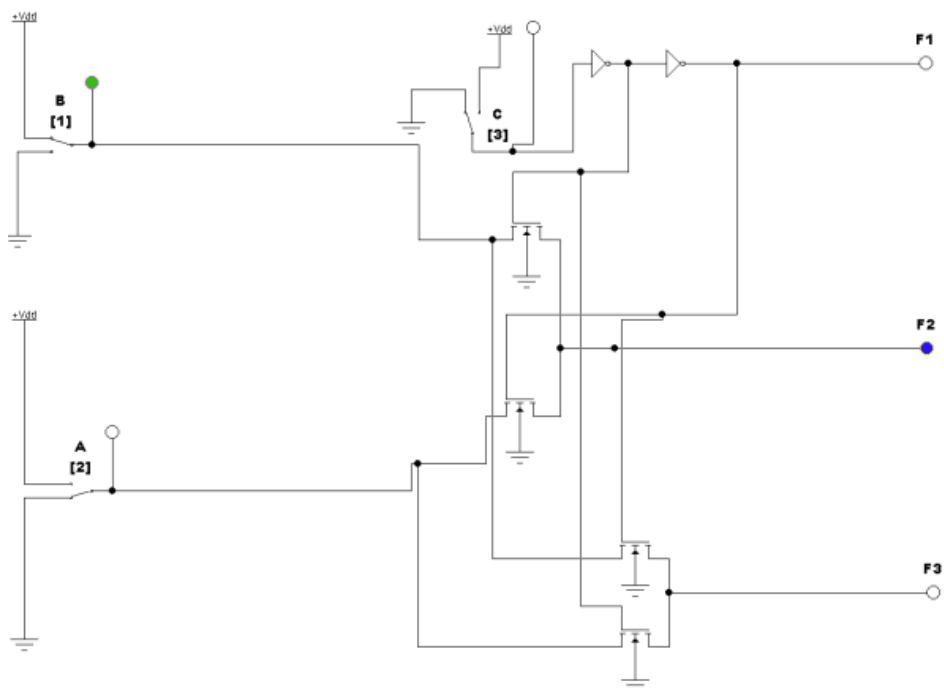


Рис. 17. Моделирование элемента Фредкина: *a* – $C=1, B=1, A=0, F1=1, F2=0, F3=1$;
б – $C=1, B=0, A=1, F1=1, F2=1, F3=0$; *в* – $C=0, B=1, A=0, F1=0, F2=1, F3=0$;
г – $C=0, B=0, A=1, F1=0, F2=0, F3=1$

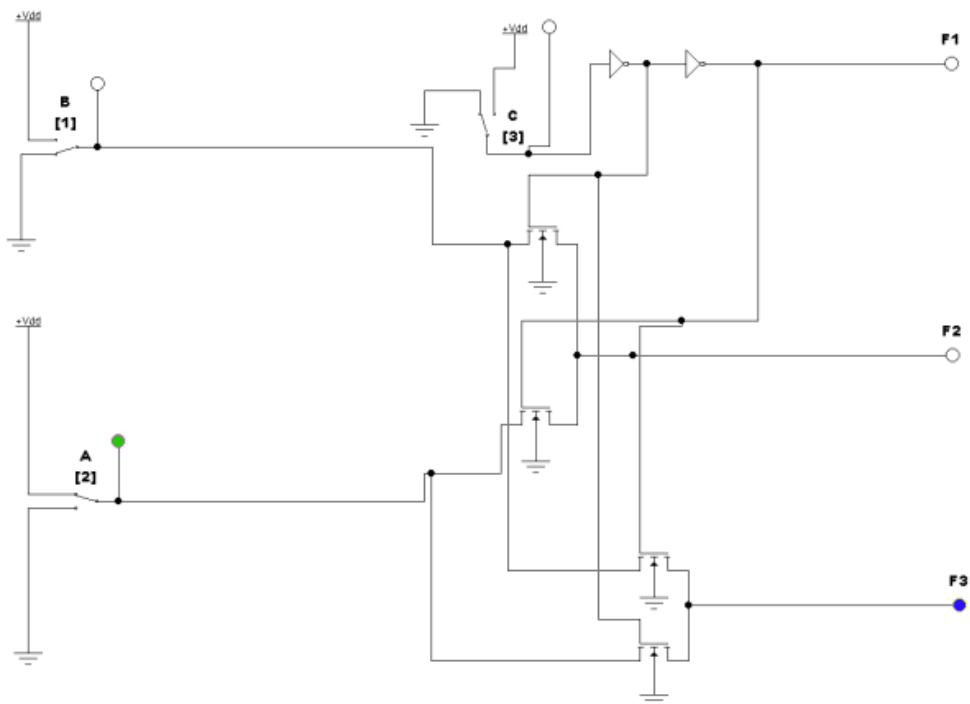


б



в

Рис. 17. Продолжение



2

Рис. 17. Окончание

Моделирование подтверждает правильность функционирования предложенного элемента.

Выводы. Таким образом, подробно рассмотрены примеры функционирования обратимых схем на основе элемента Фредкина, используемых в «бильярдном» компьютеринге: полного сумматора, дешифратора, элемента памяти.

Рассмотренные примеры можно использовать как на лекционных, так и на практических занятиях. Моделированию элемента целесообразно посвятить лабораторную работу. В дальнейшем необходимо разработать двунаправленный элемент и реализовать моделирование работы в двух режимах.

Библиографический список

1. Пальченков Ю.Д. Структура квантового компьютера // Вопросы оборонной техники. Сер. 16. Технические средства противодействия терроризму. – 2012. – № 7–8. – С. 131–136.

2. Квантовая информатика: обзор основных достижений / А.С. Сигов, Е.Г. Андрианова, Д.О. Жуков, С.В. Зыков, И.Е. Тарасов // Российский технологический журнал. – 2019. – Т. 7, № 1(27). – С. 5–37.

3. Стефанова Т.С. Отбор содержания обучения квантовым вычислениям бакалавров физико-математического образования // Известия Рос. гос. пед. ун-та им. А.И. Герцена. – 2008. – № 61. – С. 467–469.

4. Чивилихин С.А. Квантовая информатика: учеб. пособие [Электронный ресурс]. – URL: <https://books.ifmo.ru/file/pdf/626.pdf> (дата обращения: 14.12.2019).

5. Пронин Ц.Б., Остроух А.В. Квантовые логические элементы, результаты и анализ их влияния на квантовые цепи // Лучшая студенческая статья 2017: сб. ст. XI Междунар. науч.-практ. конкурса: в 3 ч. Ч. 1. – Пенза, 2017. – С. 73–78.

6. Гуров С.И., Жуков А.Е. Обратимые вычисления: элементы теории и примеры применения // XXX Крымская осенняя математическая школа-симпозиум по спектральным и эволюционным задачам: сб. материалов междунар. конф. КРОМШ-2019. – Крым, пос. Батилиман, 2019. – С. 293–295.

7. Гаврилов С.В., Матюшкин И.В., Стемпковский А.Л. Вычислимость в клеточных автоматах // Искусственный интеллект и принятие решений. – 2016. – № 1. – С. 18–36.

8. Правильщиков П.А. Новая квантовая логика: новые однородные и неоднородные логические элементы // Информационные технологии в проектировании и производстве. – 2019. – № 1(173). – С. 42–51.

9. Закаблуков Д.В. Синтез схем из обратимых элементов // Безопасность информационных технологий. – 2013. – Т. 20, № 1. – С. 100–101.

10. Францева А.С. Алгоритм минимизации функций алгебры логики в классе обратимых схем Тоффоли // Известия Иркут. гос. ун-та. Сер. Математика. – 2018. – Т. 25. – С. 144–158.

11. Quantum Gates [Электронный ресурс]. – URL: <https://www.sciencedirect.com/topics/engineering/quantum-gate> (дата обращения: 07.12.2019).

12. Fredkin E., Toffoli T. Conservative logic // International Journal of Theoretical Physics. – 1982. – Vol. 21. – No. 3–4. – P. 219–253.

13. A quantum Fredkin gate [Электронный ресурс] / Raj V. Patel, Joseph Ho, Franck Ferreyrol, Timothy C. Ralph, Geoff J. Pryde. – URL: <https://advances.sciencemag.org/content/2/3/e1501531> (дата обращения: 12.12.2019).

14. Prasanna M., Amudha S. Implementation of testable reversible sequential circuit on FPGA // 2015 International Conference on Innovations in Information, Embedded and Communication Systems, ICIECS–2015; 19–20 March 2015: proceedings. – Coimbatore, India: IEEE, 2015. – P. 145–150. DOI: 10.1109/ICIECS.2015.7192888

15. Himanshu Thapliyal, Vinod A.P. Design of Reversible Sequential Elements With Feasibility of Transistor Implementation // 2007 IEEE International Symposium on Circuits and Systems; 27–30 May 2007: proceedings. – New Orleans, LA, USA: IEEE, 2007. – P. 121–126. DOI: 10.1109/ISCAS.2007.378815

16. Prashant R. Yelekar, Sujata S. Chiwande. Design of sequential circuit using reversible logic // IEEE-International Conference On Advances In Engineering, Science And Management, ICAESM–2012; 30–31 March 2012: proceedings. – Nagapattinam, Tamil Nadu, India: IEEE, 2012. – P. 321–326.

17. Kiran J., Binu K.M. Implementation of a FIR filter model using reversible Fredkin Gate // 2014 International Conference on Control, Instrumentation, Communication and Computational Technologies, ICCICCT–2014; 10–11 July 2014: proceedings. – Kanyakumari, India: IEEE, 2014. – P. 125–132. DOI: 10.1109/ICCICCT.2014.6993048

18. Dueck G.W., Maslov D., Miller D.M. Transformation-based synthesis of networks of Toffoli/Fredkin gates // Canadian Conference on Electrical and Computer Engineering. Toward a Caring and Humane Technology, CCECE–2003; 4–7 May 2003: proceedings. – Montreal, Quebec, Canada: IEEE, 2003. – P. 211–214. DOI: 10.1109/CCECE.2003.1226380

19. Himanshu Thapliyal, Nagarajan Ranganathan, Saurabh Kotiyal. Design of Testable Reversible Sequential Circuits // IEEE Transactions on Very Large Scale Integration (VLSI) Systems. – July 2013. – Vol. 21, No. 7. – P. 1201–1209. DOI: 10.1109/TVLSI.2012.2209688

20. Тюрин С.Ф., Чудинов М.А. FPGALUT с двумя выходами декомпозиции по Шеннону // Вестник Пермского национального исследовательского политехнического университета. Электротехника, информационные технологии, системы управления. – 2019. – № 29. – С. 136–147.

21. Сайт разработчика National Instruments [Электронный ресурс]. – URL: <http://www.ni.com/multisim/> (дата обращения: 11.12.2019).

References

1. Pal'chenkov Iu.D. Struktura kvantovogo komp'iutera [Quantum computer structure]. *Voprosy oboronnoi tekhniki. Tekhnicheskie sredstva protivodeistviia terrorizmu*, 2012, no. 7-8, pp. 131-136.

2. Sigov A.S., Andrianova E.G., Zhukov D.O., Zыkov S.V., Tarasov I.E. Kvantovaia informatika: obzor osnovnykh dostizhenii [Quantum computer science: a review of key achievements]. *Rossiiskii tekhnologicheskii zhurnal*, 2019, vol. 7, no. 1(27), pp. 5-37.

3. Stefanova T.S. Otor soderzhaniia obucheniia kvantovym vychisleniiam bakalavrov fiziko-matematicheskogo obrazovaniia [Selection of the content of teaching quantum computing bachelors in physical and mathematical education]. *Izvestiia Rossiiskogo gosudarstvennogo pedagogicheskogo universiteta im. A.I. Gertsena*, 2008, no. 61, pp. 467-469.

4. Chivilikhin S.A. Kvantovaia informatika [Quantum informatics], available at: <https://books.ifmo.ru/file/pdf/626.pdf> (accessed 14 December 2019).

5. Pronin Ts.B., Ostroukh A.V. Kvantovye logicheskie elementy, rezultaty i analiz ikh vliianiia na kvantovye tsepi [Quantum logic elements, results and analysis of their influence on quantum circuits]. *Luchshaia studencheskaia stat'ia 2017. Sbornik statei XI Mezhdunarodnogo nauchno-prakticheskogo konkursa*. Penza, 2017, part 1, pp. 73-78.

6. Gurov S.I., Zhukov A.E. Obratimye vychisleniia: elementy teorii i primery primeneniia [Reversible Computing: Elements of Theory and Application Examples]. *XXX Krymskaia osenniaia matematicheskaiia shkolasimpozium po spektral'nyim i evoliutsionnym zadacham. Sbornik materialov mezhdunarodnoi konferentsii KROMSh-2019*. Krym, poselok Batiliman, 2019, pp. 293-295.

7. Gavrilov S.V., Matiushkin I.V., Stempkovskii A.L. Vychislimost' v kletochnykh avtomatakh [Computability in cellular automata]. *Iskusstvennyi intellekt i priniatie reshenii*, 2016, no. 1, pp. 18-36.

8. Pravil'shchikov P.A. Novaia kvantovaia logika: novye odnorodnye i neodnorodnye logicheskie elementy [New quantum logic: new homogeneous and heterogeneous logic elements]. *Informatsionnye tekhnologii v proektirovanii i proizvodstve*, 2019, no. 1(173), pp. 42-51.

9. Zakablukov D.V. Sintez skhem iz obratimnykh elementov [Synthesis of circuits from reversible elements]. *Bezopasnost' informatsionnykh tekhnologii*, 2013, vol. 20, no. 1, pp. 100-101.

10. Frantseva A.S. Algoritm minimizatsii funktsii algebrы logiki v klasse obratimyykh skhem Toffoli [Algorithm for minimizing the functions of the algebra of logic in the class of invertible Toffoli circuits]. *Izvestiia Irkutskogo gosudarstvennogo universiteta. Matematika*, 2018, vol. 25, pp. 144-158.

11. Quantum Gates, available at: <https://www.sciencedirect.com/topics/engineering/quantum-gate> (accessed 07 December 2019).

12. Fredkin E., Toffoli T. Conservative logic. *International Journal of Theoretical Physics*, 1982, vol. 21, no. 3-4, pp. 219-253.

13. Raj B. Patel1, Joseph Ho, Franck Ferreyrol1, Timothy C. Ralph, Geoff J. Pryde. A quantum Fredkin gate, available at: <https://advances.sciencemag.org/content/2/3/e1501531> (accessed 12 December 2019).

14. Prasanna M., Amudha S. Implementation of testable reversible sequential circuit on FPGA. *2015 International Conference on Innovations in Information, Embedded and Communication Systems, ICIIECS-2015*, 19-20 March 2015: proceedings. Coimbatore, India: IEEE, 2015, pp. 145-150. DOI: 10.1109/ICIIECS.2015.7192888

15. Himanshu Thapliyal, Vinod A.P. Design of Reversible Sequential Elements With Feasibility of Transistor Implementation. *2007 IEEE International Symposium on Circuits and Systems*, 27-30 May 2007: proceedings. New Orleans, LA, USA: IEEE, 2007, pp. 121-126. DOI: 10.1109/ISCAS.2007.378815

16. Prashant R. Yelekar, Sujata S. Chiwande. Design of sequential circuit using reversible logic. *IEEE-International Conference On Advances In Engineering, Science And Management, ICAESM-2012*, 30-31 March 2012: proceedings. Nagapattinam, Tamil Nadu, India: IEEE, 2012, pp. 321-326.

17. Kiran J., Binu K.M. Implementation of a FIR filter model using reversible Fredkin Gate. *2014 International Conference on Control, Instrumentation, Communication and Computational Technologies, ICCICCT-2014*, 10-11 July 2014: proceedings. Kanyakumari, India: IEEE, 2014, pp. 125-132. DOI: 10.1109/ICCICCT.2014.6993048

18. Dueck G.W., Maslov D., Miller D.M. Transformation-based synthesis of networks of Toffoli/Fredkin gates. *Canadian Conference on Electrical and Computer Engineering. Toward a Caring and Humane Technology, CCECE-2003*, 4-7 May 2003: proceedings. Montreal, Quebec, Canada: IEEE, 2003, pp. 211-214. DOI: 10.1109/CCECE.2003.1226380

19. Himanshu Thapliyal, Nagarajan Ranganathan, Saurabh Kotiyal. Design of Testable Reversible Sequential Circuits. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*. July 2013, vol. 21, no. 7, pp. 1201-1209. DOI: 10.1109/TVLSI.2012.2209688

20. Tiurin S.F., Chudinov M.A. FPGALUT s dvumia vykhodami dekompozitsii po Shennonu [FPGA's LUT with two Shannon decomposition outputs]. *Vestnik Permskogo natsional'nogo issledovatel'skogo politekhnicheskogo universiteta. Elektrotehnika, informatsionnye tekhnologii, sistemy upravleniia*, 2019, no. 29, pp. 136-147.

21. Sait razrabotchika National Instruments [National Instruments Developer Website], available at: <http://www.ni.com/multisim/> (accessed 11 December 2019).

Сведения об авторе

Тюрин Сергей Феофентович (Пермь, Россия) – заслуженный изобретатель Российской Федерации, доктор технических наук, профессор кафедры «Автоматика и телемеханика» Пермского национального исследовательского политехнического университета (614990, Пермь, Комсомольский пр., 29, e-mail: tyurinsergfeo@yandex.ru), профессор кафедры «Математическое обеспечение вычислительных систем» Пермского государственного национального исследовательского университета (614990, Пермь, ул. Букирева, 15).

About the author

Tyurin Sergey Feofentovich (Perm, Russian Federation) is a Honored Inventor of the Russian Federation, Doctor of Technical Sciences, Professor at the Department of Automation and Telemechanics Perm National Research Polytechnic University (614990, Perm, 29, Komsomolsky pr., e-mail: tyurinsergfeo@yandex.ru), Professor at the Department of Software Computing Systems Perm State National Research University (614990, Perm 15, Bukireva str.).

Получено 27.01.2020