

УДК 681.32

Р.В. Вихорев^{1,2}, А.С. Прохоров^{1,3}, С.Ф. Тюрин^{1,4}, А.С. Никитин¹

¹Пермский национальный исследовательский политехнический университет,
Пермь, Россия

²ПАО «Пермская научно-производственная приборостроительная компания»,
Пермь, Россия

³АО «ЭР-Телеком Холдинг», Пермь, Россия

⁴Пермский государственный национальный исследовательский университет;
Пермь, Россия

МОДЕЛИРОВАНИЕ И ОПТИМИЗАЦИЯ ИННОВАЦИОННЫХ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ ПЛИС

Вычисление, или, как принято говорить, реализация логических функций со времени изобретения электромагнитного реле в середине XIX в. является одной из важнейших задач, решаемых цифровой аппаратурой. Эта своего рода макрореализация бинарной логики, включавшая как вариант и использование в ряде случаев даже электровакуумных ламп в ключевом режиме, была почти полностью замещена микрореализацией – после изобретения транзисторов в конце 40-х гг. XX в. Затем появились интегральные микросхемы (ИМС) малой степени интеграции, что позволило строить схемы на «жёсткой» логике. Однако уже в 60-е гг. XX в. появляются ИМС средней степени интеграции, например, мультиплексоры (MS), дешифраторы (DC), что обусловило появление понятия «универсальный логический модуль». Разработка ИМС оперативной памяти (ОЗУ), перепрограммируемой постоянной памяти (ППЗУ), программируемых логических матриц (ПЛМ) в 70-е гг. XX в. создало условия для появления больших интегральных схем БИС и «гибкой» логики, изменяемой пользователем не в заводских условиях. Поэтому создание в конце 80-х гг. XX в. программируемых логических интегральных схем (ПЛИС) было логичным продолжением этого «гибкого» направления цифровой схемотехники. ПЛИС типа FPGA (field-programmable gate array) используют так называемый LUT (Look up Table) – генератор логических функций, выполненный в виде дерева передающих МОП транзисторов для реализации мультиплексора-селектора (постоянной памяти разрядностью один бит с n адресными входами), настраиваемого по входам данных на вычисление только одной логической функции для данной конфигурации. Авторами разработаны и исследованы новые логические элементы, улучшающие их характеристики. Предложены элементы, реализующие системы логических функций, элементы, обладающие отказо- и сбоеустойчивостью. В статье анализируются результаты моделирования и оптимизации этих элементов в системе схемотехнического моделирования NI Multisim 10 firm National Instruments Electronics Workbench Group по энергопотреблению и задержке. Делается вывод о возможности их применения в ПЛИС.

Ключевые слова: логический элемент, моделирование, ПЛИС, Multisim.

R.V. Vikhorev^{1,2}, A.S. Prokhorov^{1,3}, S.F. Tyurin^{1,4}, A.S. Nikitiin¹

¹Perm National Research Polytechnic University, Perm, Russian Federation

²Public joint stock "Perm scientific industrial instrument-making company",
Perm, Russian Federation

³JSC "ER-Telecom Holding", Perm, Russian Federation

⁴Perm State National Research University, Perm, Russian Federation

SIMULATION AND OPTIMIZATION OF INNOVATIVE FPGA's LOGICAL ELEMENTS

Calculation or as it is customary to say, the implementation of logical functions since the invention of an electromagnetic relay is one of the most important tasks solved by digital equipment. This kind of macroscopic implementation of binary logic, including, as a variant, the use of even electronics lamps in a key mode was, in a number of cases, almost completely replaced by microrealization - after the invention of transistors in the late 40s of the twentieth century. Then there appeared integrated microcircuits (IC) of a small degree of integration, which allowed to build circuits on "hard" logic. However, in the 60s of the twentieth century, IMSs of medium degree of integration appeared, for example, multiplexers (MS), decoders (DC), which led to the emergence of the concept of "universal logic module". The development of the RAM, programmable read-only memory (PROM), programmable logic arrays (PLM) in the 70s of the twentieth century created the conditions for the appearance of "flexible" logic that the user can change not in the factory. Therefore, the creation of programmable logic integrated circuits (FPGAs) in the late 1980s was a logical continuation of this "flexible" direction of digital circuitry. FPGA type (field-programmable gate array) uses the so-called LUT (Look up Table), a logic function generator made in the form of a MOS transistor tree for implementing a selector multiplexer (one-bit permanent memory with n address inputs), configurable by data inputs for the calculation of only one logical function for a given configuration. The authors developed new logical elements that improve their characteristics. An element is proposed that implements logical system functions, an element that has fault tolerance. The article analyzes the results of modeling these elements in NI Multisim 10 firm National Instruments Electronics Workbench Group for power consumption and delay. It is concluded that they can be used in FPGAs.

Keywords: look up table, simulation, FGPA, multisim.

Введение. Вычисление логических функций, реализация конечных автоматов [1–3] являются одной из важнейших функций цифровых интегральных микросхем, в том числе программируемых логических интегральных схем (ПЛИС), например типа FPGA (Field-Programmable Gate Array) [4–8]. В них имеются так называемые конфигурируемые логические блоки (КЛБ), которые с помощью матриц локальных и глобальных коммутаций могут соединяться друг с другом и с внешними выводами ПЛИС. Настройка функций и связей КЛБ осуществляется с помощью конфигурационного файла. В настоящее время количество КЛБ достигает уже миллионов при общем количестве транзисторов в ПЛИС – несколько миллиардов. В КЛБ логические

функции реализуются генераторами функций, которые заданы в совершенной дизъюнктивной нормальной форме (СДНФ), в англоязычных источниках они получили название LUT (Look upTable) [5, 6]. Причём каждый LUT реализует только одну функцию для данной настройки, как правило, 4 переменных. Имеются также ПЛИС CPLD (Complex Programmable Logic Device), в которых логические функции вычисляются в дизъюнктивной нормальной форме – ДНФ [9, 10]. В настоящее время разработаны так называемые адаптивные логические модули (АЛМ), в которых реализуются логические функции 6, 7 и даже 8 переменных [11, 10].

Ведутся исследования по созданию гибридных ПЛИС, сочетающих положительные особенности FPGA и CPLD. На кафедре «Автоматика и телемеханика» ПНИПУ в рамках договора о научно-техническом партнёрстве с ФИЦ ИПИ РАН, ИПУ РАН проводятся исследования в области создания инновационных элементов для отказо-, сбое- и радиационно-устойчивой аппаратуры критического применения, в том числе и так называемой самосинхронной и энергоэффективной [12, 13]. По этому направлению в период 2011–2017 гг. защищены кандидатские диссертации по научной специальности 05.13.05 А.В. Грековым, О.А. Громовым, А.Ю. Городиловым, А.Н. Каменских. Результаты исследований использованы в международном проекте Евросоюза TEMPUS-GreenCo (Green Computing and Communication, официальный номер проекта 530270-TEMPUS-1-2012-1-UK- TEMPUS-JPCR). За счёт средств проекта на кафедре оборудована компьютерами и оргтехникой аудитория 312А. Разработанные элементы включены в библиотеку элементов ТЦ МИЭТ.

В статье описываются новые результаты разработки, моделирования и оптимизации вновь предложенных инновационных элементов.

1. Моделирование элемента DC LUT. Предложенный элемент DC LUT позволяет реализовать систему логических функций в СДНФ [14–17]. Моделирование осуществляется в системе схемотехнического моделирования NI Multisim 10 firm National Instruments Electronics Workbench Group [18]. На рис. 1 представлена модель 1-LUT с инверторами по входам, выходам и переменным (реализует функции одной переменной).

Модель предлагаемого 2DC-LUT изображена на рис. 2.

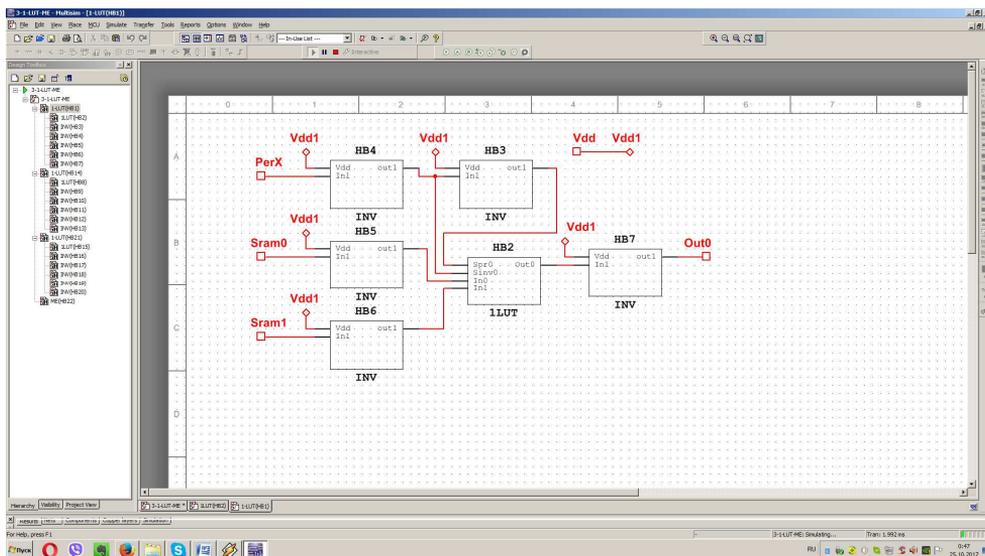


Рис. 1. Модель 1-LUT

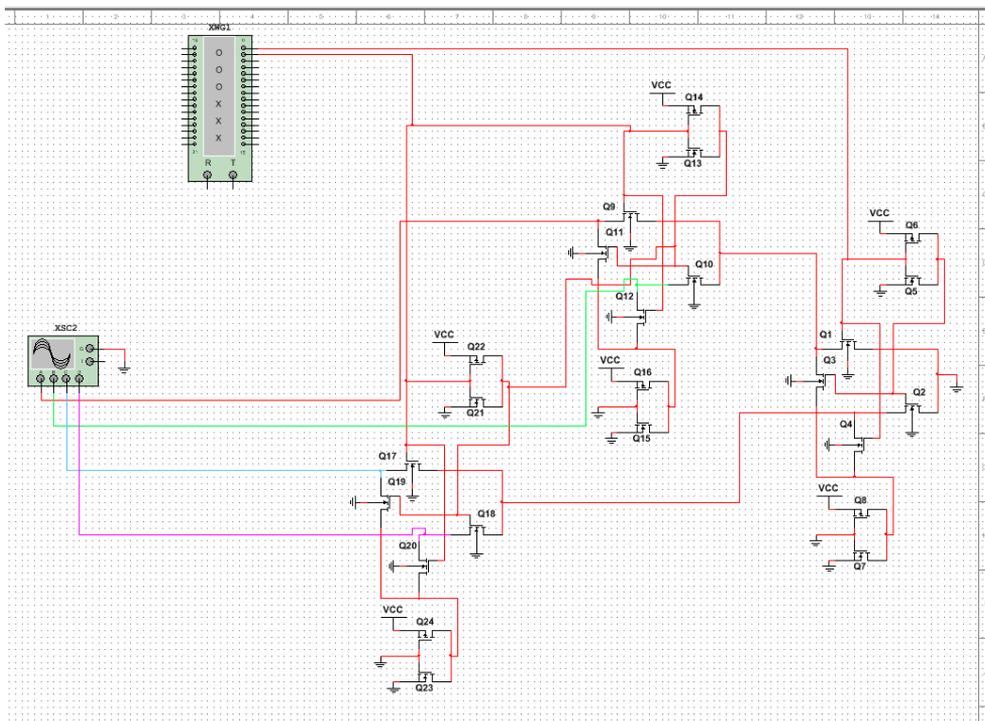


Рис. 2. Модель 2DC-LUT

Динамическое моделирование с помощью генератора входных наборов, например, для функции сложения по модулю два (исключающее ИЛИ) подтверждает работоспособность DC-LUT (рис. 3).

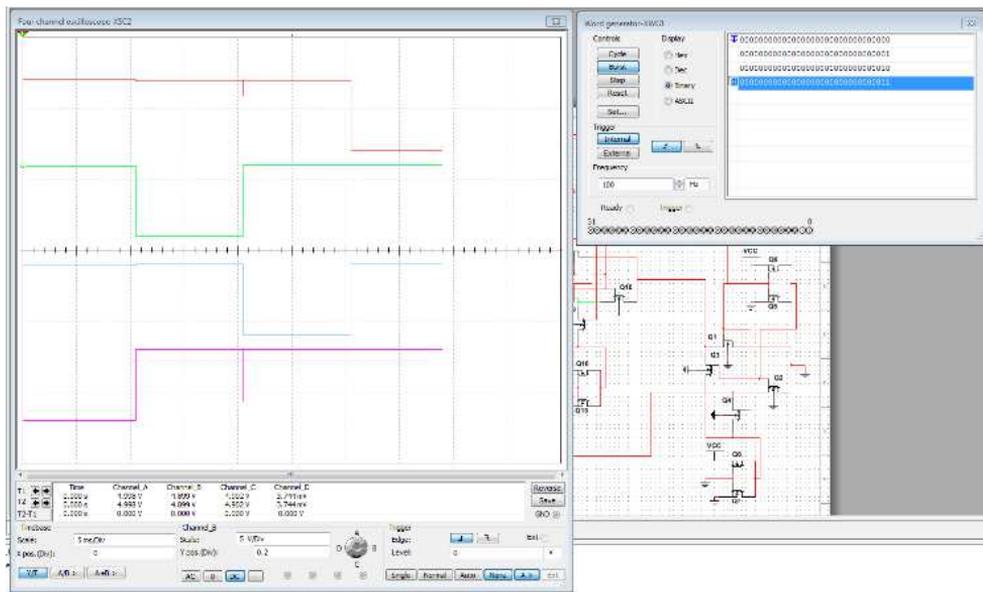


Рис. 3. Осциллограмма работы 2DC-LUT для функции сложения по модулю два (исключающее ИЛИ)

DC-LUT обеспечивает возможность формирования значений конституент логической функции в СДНФ, что позволяет при использовании дополнительных блоков дизъюнкций реализовывать в КЛБ системы логических функций. Например, часто необходимы функции суммы и переноса, зависящие от одних и тех же 3 переменных. Как показывают исследования, такой подход позволяет снизить сложность реализации систем функций (и повысить вероятность безотказной работы) при незначительном увеличении временной задержки.

На основе DC-LUT предложен адаптивный элемент ADC-LUT, который в зависимости от настройки может выполнять роль LUT или DC-LUT, что повышает функциональность и гибкость КЛБ. Модель ADC LUT на одну переменную представлена на рис. 4.

2. Мажоритирование LUT. С целью создания отказо-, сбое- и радиационно-устойчивой аппаратуры применяют структурное резервирование, например, троирование с элементом голосования по

большинству – мажоритирование [19, 20]. Модель мажоритарного элемента МЭ (элемента голосования по большинству, выбора 2 из 3) изображена на рис. 5.

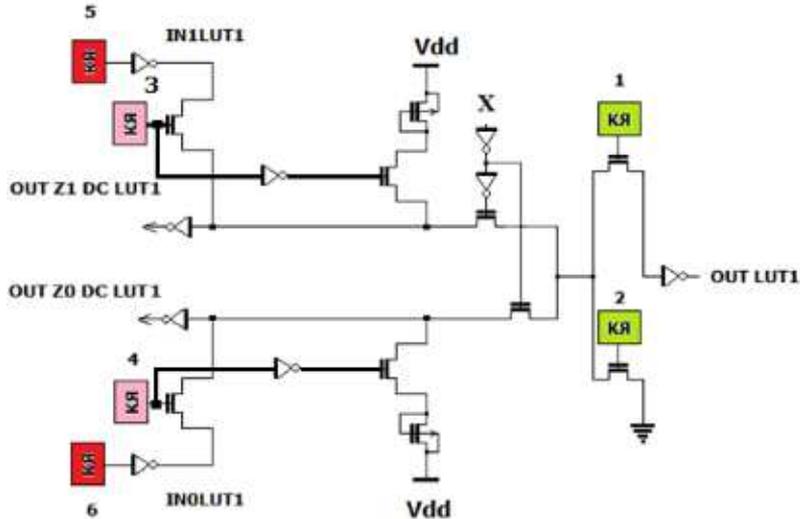


Рис. 4. ADC LUT на одну переменную, КЯ-конфигурационная ячейка

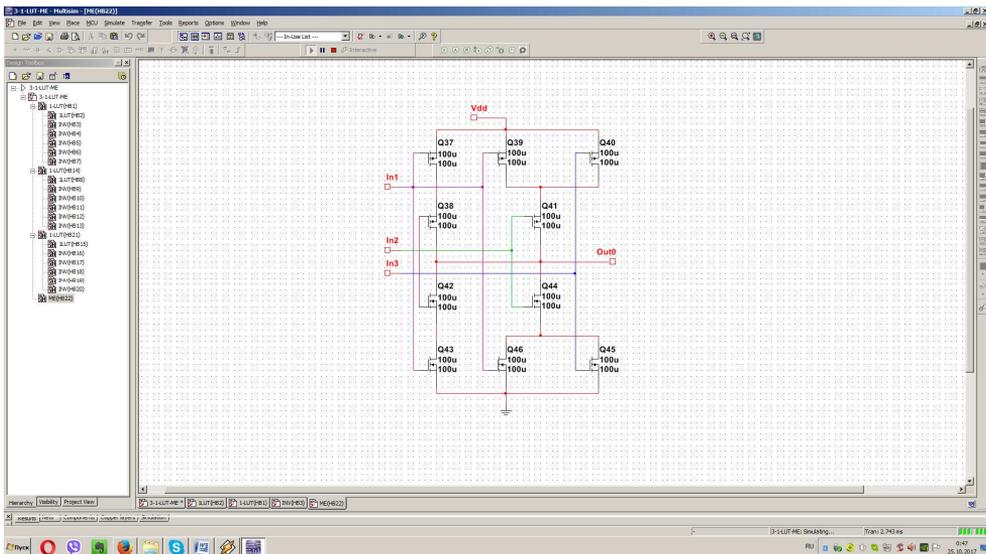


Рис. 5. Модель мажоритарного элемента МЭ

Модель троированного 1-LUT с МЭ изображена на рис. 6.

Анализ результатов моделирования показал работоспособность схемы троированного 1-LUT с МЭ.

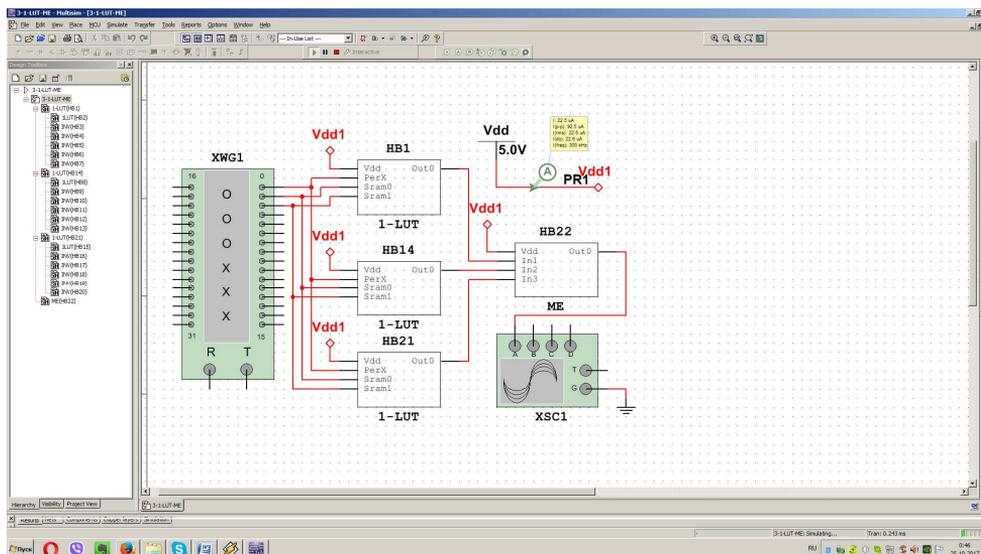


Рис. 6. Модель троированного 1-LUT с МЭ

3. Отказоустойчивый 1-LUT на основе толерантных транзисторных структур. Для создания инновационного отказо-, сбое- и радиационно-устойчивого LUT предлагается использовать так называемые толерантные транзисторные структуры – TTC [21, 22]. Например, толерантный КМОП-инвертор, в котором применено расчетверение транзисторов (рис. 7).

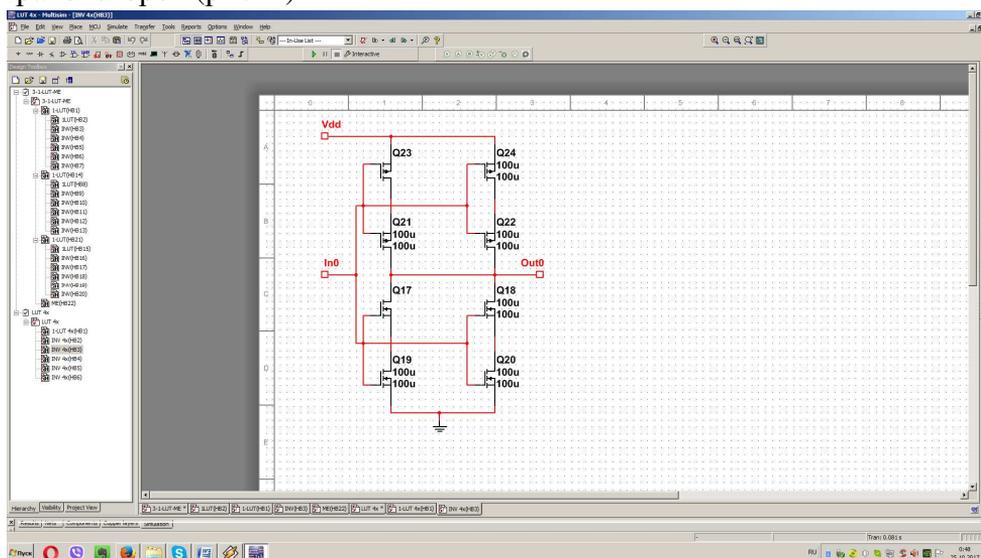


Рис. 7. Модель толерантного инвертора

Моделирование отказоустойчивого дерева 1-LUT изображено на рис. 8.

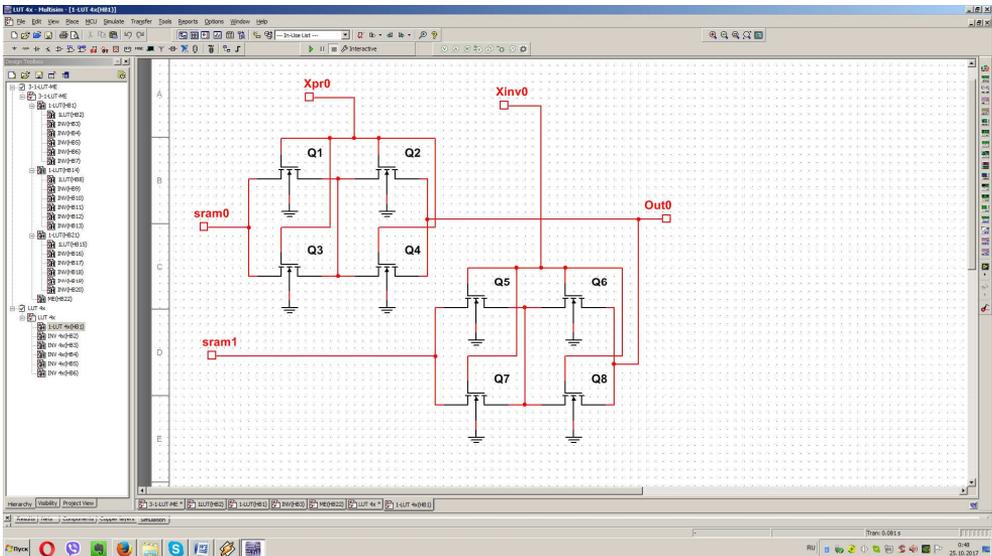


Рис. 8. Модель дерева LUT с резервированием транзисторов

Модель предлагаемого 1-LUT с использованием ТТС изображена на рис. 9.

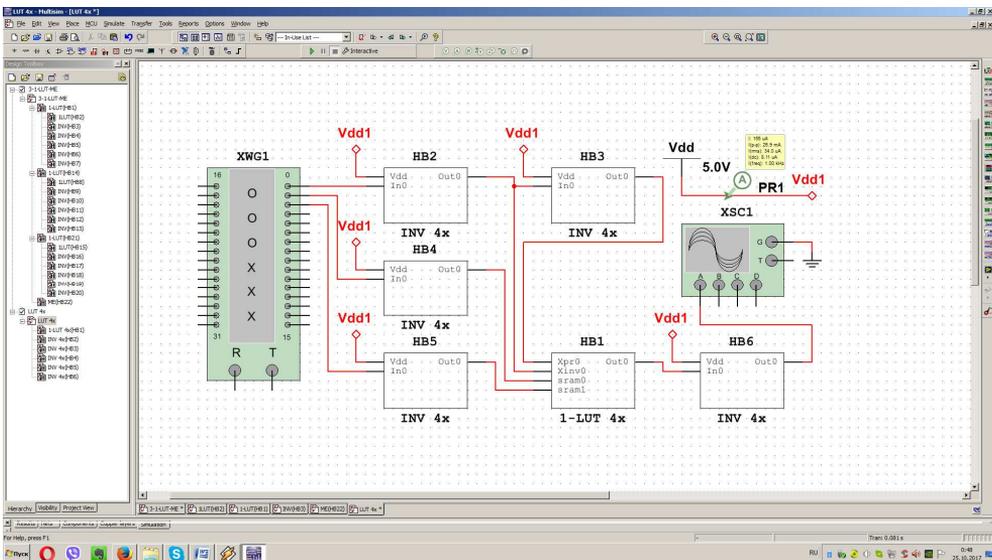


Рис. 9. Модель 1-LUT-TTC с резервированием транзисторов

Выполнено также моделирование LUT, в котором одновременно вычисляются две функции DLUT, а также схемы с предлагаемой ДНФ-реализацией [23, 24]. При создании многоразрядных LUT, а также при выполнении резервирования необходимо учитывать ограничения Мида–Конвей на число последовательно соединенных МОП передающих (ключевых) транзисторов [25].

4. Результаты моделирования и оптимизации. Проведен эксперимент по оценке энергопотребления, задержки различных вариантов логических элементов. На рис. 10 представлены результаты сравнения энергопотребления троированного LUT (LUT+МЭ) и LUT-TTC (LUT 4-х) для одной из доступных моделей транзисторов.

LUT 4-х														
Частота MHz \ Напряжение V	10	20	30	40	50	60	70	80	90	100	200	300	400	500
0,2	0,00028	0,00057	0,00222	0,00147	0,00305	0,00248	0,00383	0,0346	0,00408	0,00441	0,00929	0,0141	0,019	0,0236
0,3	0,00062	0,00126	0,00511	0,00327	0,00698	0,00554	0,00873	0,00775	0,00913	0,00996	0,0208	0,0316	0,0425	0,0532
0,4	0,00108	0,00221	0,00922	0,00578	0,0125	0,00982	0,0157	0,0137	0,0161	0,0176	0,0369	0,0561	0,0753	0,0945
0,5	0,00168	0,00344	0,0145	0,00902	0,0198	0,0153	0,0246	0,0241	0,0253	0,0275	0,0576	0,0876	0,118	0,147
0,6	0,00241	0,00495	0,0211	0,013	0,0286	0,022	0,0356	0,0308	0,0363	0,0396	0,0829	0,126	0,169	0,212
0,7	0,00327	0,00672	0,0289	0,0176	0,0391	0,03	0,0487	0,042	0,0494	0,0539	0,113	0,171	0,230	0,289
1	0,00664	0,0137	0,0596	0,036	0,0806	0,0611	0,1	0,0856	0,101	0,11	0,23	0,349	0,469	0,588
2	0,0264	0,0546	0,243	0,144	0,327	0,244	0,405	0,342	0,403	0,439	0,918	1,40	1,87	2,35
3	0,0594	0,123	0,550	0,323	0,741	0,549	0,916	0,769	0,906	0,987	2,07	3,14	4,21	5,29
4	0,106	0,218	0,983	0,574	1,32	0,976	1,63	1,37	1,61	1,76	3,67	5,58	7,49	9,39
5	0,165	0,341	1,54	0,897	2,08	1,53	2,56	2,14	2,52	2,74	5,74	8,72	11,7	14,7
LUT+ME														
Частота MHz \ Напряжение V	10	20	30	40	50	60	70	80	90	100	200	300	400	500
0,2	0,00085	0,00170	0,00667	0,00439	0,00614	0,00743	0,0115	0,0104	0,0122	0,0133	0,0279	0,0425	0,0572	0,0723
0,3	0,00185	0,00376	0,0153	0,00979	0,0209	0,0166	0,0262	0,0232	0,0274	0,0298	0,0625	0,0951	0,128	0,162
0,4	0,00324	0,00663	0,0276	0,0173	0,0376	0,0295	0,047	0,0412	0,0486	0,053	0,111	0,169	0,227	0,286
0,5	0,00502	0,0103	0,0436	0,027	0,0593	0,046	0,0738	0,0643	0,0758	0,0826	0,173	0,263	0,354	0,445
0,6	0,00721	0,0148	0,0633	0,389	0,0858	0,0661	0,107	0,0926	0,109	0,119	0,249	0,379	0,509	0,640
0,7	0,00978	0,0201	0,0866	0,0529	0,117	0,0899	0,146	0,126	0,148	0,162	0,339	0,515	0,692	0,870
1	0,0199	0,041	0,179	0,108	0,242	0,183	0,3	0,257	0,303	0,33	0,69	1,05	1,41	1,77
2	0,0793	0,164	0,728	0,431	0,982	0,733	1,21	1,03	1,21	1,32	2,76	4,20	5,64	7,08
3	0,178	0,368	1,65	0,969	2,22	1,65	2,75	2,31	2,72	2,96	6,21	9,44	12,7	15,9
4	0,317	0,654	2,95	1,72	3,97	2,93	4,90	4,1	4,83	5,27	11	16,8	22,5	28,3
5	0,495	1,02	4,62	2,69	6,21	4,58	7,67	6,41	7,55	8,23	17,2	26,2	35,2	44,2

Рис. 10. Результаты сравнения троированного LUT (LUT+МЭ) и LUT-TTC (LUT 4-х)

На рис. 11 представлены результаты сравнения задержки троированного LUT (LUT+МЭ) и LUT-TTC (LUT 4-х).

Частота (MHz)	LUT-4x (ns)	LUT-ME (ns)	Задержка(LUT-ME)-(LUT-4x)
90	20,000	19,968	-0,032
100	22,216	22,210	-0,006
200	10	10,005	-0,005
300	6,670	6,665	0,005
400	5,005	5	0,005
500	4,001	3,999	0,002

Рис. 11. Результаты сравнения задержки троированного LUT (LUT+МЭ) и LUT-TTC (LUT 4-х)

Оптимизация выполнялась модифицированным венгерским методом с последующим построением Парето-оптимальных вариантов по сложности (вероятности безотказной работы), энергопотреблению и задержке. Результаты оптимизации по вероятности безотказной работы представлены на рис. 12.

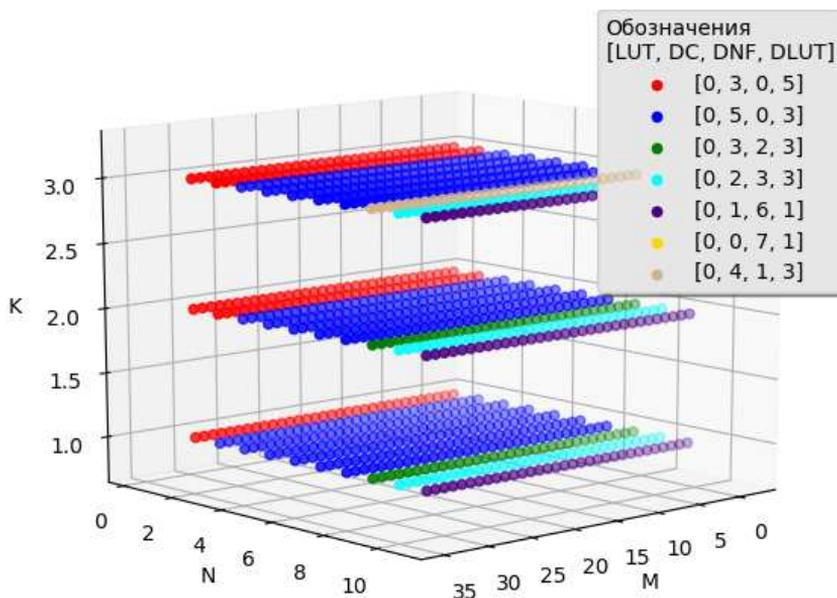


Рис. 12. Оптимизация КЛБ на наборах LUT, DCLUT, ДНФ, DLUT в зависимости от числа переменных n , количества функций m , и параметра декомпозиции k с целью соблюдения ограничений Мида–Конвей

Выводы. Таким образом, моделирование подтверждает работоспособность предложенных инновационных логических элементов ПЛИС. LUT-ТТС обладает меньшими, чем троированный LUT, показателями динамического энергопотребления при значительно большей надёжности, при этом задержка увеличивается незначительно. Оптимизация позволяет сделать вывод о предпочтительности DCLUT при большом числе функций и среднем числе переменных. При большом числе переменных целесообразно использовать ДНФ-реализации.

Оценка результатов моделирования и оптимизации доказывает высокую эффективность применения разработанных элементов ПЛИС в высоконадёжных и специальных приложениях, например, в авионике, в космической и другой аппаратуре, что может внести определённый вклад в дело импортозамещения электронной компонентной базы.

Библиографический список

1. Горбатов В.А. Фундаментальные основы дискретной математики. Информационная математика: учеб. пособие для вузов. – М.: Наука, 2000. – 540 с.
2. Тюрин С.Ф. Аляев Ю.А. Дискретная математика: практическая дискретная математика и математическая логика. – М.: Финансы и статистика, 2010. – 394 с.
3. Тюрин С.Ф., Аляев Ю.А. Дискретная математика: тест-драйв по дискретной математике и математической логике. – Пермь: Изд-во Перм. нац. исслед. политехн. ун-та, 2014. – 231 с.
4. Угрюмов Е.П. Цифровая схемотехника: учеб. пособие. – 2-е изд., перераб. и доп. – СПб.: БХВ-Петербург, 2007. – 782 с.
5. Строгонов А., Цыбин С. Программируемая коммутация ПЛИС: взгляд изнутри [Электронный ресурс]. – URL: http://www.kite.ru/articles/plis/2010_11_56.php (дата обращения: 11.06.2017).
6. Виды программируемой логики [Электронный ресурс]. – URL: <http://www.pvsm.ru/programmirovanie/87810> (дата обращения: 10.06.2017).
7. Programmable Logic Devices [Электронный ресурс]. – URL: http://ee.sharif.edu/~logic_circuits_t/readings/PLD.pdf (дата обращения: 04.06.2017).
8. Программируемая логика и её применение в микропроцессорных системах [Электронный ресурс]. – URL: <http://lektsii.org/7-10275.html> (дата обращения: 08.06.2017).
9. CPLD (Complex Programmable Logic Device) [Электронный ресурс]. – URL: <http://www.myshared.ru/slide/981511/> (дата обращения: 09.06.2017).
10. Stephen Brown, Jonathan Rose. Architecture of FPGAs and CPLDs: A Tutorial [Электронный ресурс]. – URL: <http://www.eecg.toronto.edu/~jayar/pubs/brown/survey.pdf> (дата обращения: 10.06.2017).
11. Logic Array Blocks and Adaptive Logic Modules in Stratix III Devices [Электронный ресурс]. – URL: https://www.altera.com.cn/content/dam/alterawww/global/zh_CN/pdfs/literature/hb/stx3/stx3_siii51002.pdf (дата обращения: 20.10.2017).

12. Самосинхронный вычислитель для высоконадежных применений / Ю.А. Степченков [и др.] // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС): сб. тр. всерос. науч.-техн. конф. / Ин-т проблем проектир. в микроэлектронике РАН. – М., 2010. – № 1.

13. Библиотека самосинхронных элементов для технологии БМК / Ю.А. Степченков [и др.] // Проблемы разработки перспективных микроэлектронных систем – 2006: сб. науч. тр. / под общ. ред. А.Л. Степченковского; Ин-т проблем проектир. в микроэлектронике РАН. – М., 2006. – С. 259–264.

14. Тюрин С.Ф. Дерево транзисторов для реализации систем логических функций // Вестник Пермского национального исследовательского политехнического университета. Электротехника, информационные технологии, системы управления. – 2015. – № 2(14). – С. 37–45.

15. Вихорев Р.В., Тюрин С.Ф. Программируемые логические элементы ПЛИС для реализации систем логических функций // Вестник Пермского национального исследовательского политехнического университета. Электротехника, информационные технологии, системы управления. – 2017. – № 23. – С. 133–145.

16. Vikhorev R. Universal logic cells to implement systems functions // Proceedings of the 2016 IEEE North West Russia Section Young Researchers in Electrical and Electronic Engineering Conference, EIconRusNW 2016. – 2016. – С. 373–375.

17. Тюрин С.Ф., Вихорев Р.В. Программируемое логическое устройство: пат. Рос. Федерация № 2573732; опубл. 27.01.2016. Бюл. № 3.

18. Сайт разработчика National Instruments [Электронный ресурс]. – URL: <http://www.ni.com/multisim/> (дата обращения: 08.06.2017).

19. Carl Carmichael. Triple Module Redundancy Design Techniques for Virtex FPGAs [Электронный ресурс]. – URL: https://www.xilinx.com/support/documentation/application_notes/xapp197.pdf (дата обращения: 07.12.2016).

20. Xilinx Reduces Risk and Increases Efficiency for IEC61508 and ISO26262 Certified Safety Applications. WP461 (v1.0) [Электронный ресурс]. – April 9, 2015. – URL: http://www.xilinx.com/support/documentation/white_papers/wp461-functional-safety.pdf (дата обращения: 20.12.2016).

21. Тюрин С.Ф. Статическая оперативная память на основе отказоустойчивой ячейки базового матричного кристалла // Вестник Пермского национального исследовательского политехнического университета. Электротехника, информационные технологии, системы управления. – 2016. – № 1(17). – С. 16–27.

22. Тюрин С.Ф. Радиационно-устойчивая ячейка SRAM // Вестник Пермского национального исследовательского политехнического университета. Электротехника, информационные технологии, системы управления. – 2014. – № 4(12). – С. 14–30.

23. Тюрин С.Ф., Прохоров А.С. Отказоустойчивая программируемая логическая матрица // Вестник Пермского национального исследовательского политехнического университета. Электротехника, информационные технологии, системы управления. – 2017. – № 23. – С. 45–58.

24. Prohorov A.S. Green logic // Proceedings of the 2016 IEEE North West Russia Section Young Researchers in Electrical and Electronic Engineering Conference, EIconRusNW 2016. – 2016. – С. 785–786.

25. Carver A. Mead, Lynn Conway. Introduction to VLSI Systems [Электронный ресурс]. – URL: <http://ai.eecs.umich.edu/people/conway/VLSI/VLSIText/PP-V2/V2.pdf>; <https://ru.scribd.com/document/104510240/VLSI-Introduction-to-VLSI-Systems-Mead-amp-Conway> (дата обращения: 21.10.2017).

References

1. Gorbatov V.A. Fundamental'nye osnovy diskretnoi matematiki. Informatsionnaia matematika [Fundamental bases discrete mathematics. Information mathematics]. M.: Nauka, 2000. 540 p.

2. Tiurin S.F. Aliaev Iu.A. Diskretnaia matematika: prakticheskaia diskretnaia matematika i matematicheskaia logika [Discrete mathematics and mathematical logic]. Moscow: Finansy i statistika, 2010. 394 p.

3. Tiurin S.F., Aliaev Iu.A. Diskretnaia matematika: test-draiv po diskretnoi matematike i matematicheskoi logike [Discrete mathematics: practical discrete mathematics and mathematical logic]. Permskii natsional'nyi issledovatel'skii politekhnicheskii universitet, 2014. 231 p.

4. Ugriumov E.P. Tsifrovaia skhemotekhnika [Digital circuitry]. 2nd ed. Saint Petersburg: BHV-Peterburg, 2007. 782 p.

5. Strogonov A., Tsybin S. Programmiruemaia kommutatsiia PLIS: vzgliad iznutri [Programmable switching FPGA: a view from the inside], available at: http://www.kit-e.ru/articles/plis/2010_11_56.php (accessed 11 June 2017).

6. Vidy programmiruemoi logiki [Types of programmable logic], available at: <http://www.pvsm.ru/programmirovanie/87810> (accessed 10 June 2017).

7. Programmable Logic Devices, available at: http://ee.sharif.edu/~logic_circuits_t/readings/PLD.pdf (accessed 04 June 2017).

8. Programmiruemaia logika i ee primenenie v mikroprotsessornykh sistemakh [Programmable logic and its application in microprocessor systems], available at: <http://lektsii.org/7-10275.html> (accessed 08 June 2017).

9. CPLD (Complex Programmable Logic Device), available at: <http://www.myshared.ru/slide/981511/> (accessed 09 June 2017).

10. Stephen Brown, Jonathan Rose. Architecture of FPGAs and CPLDs: A Tutorial, available at: <http://www.eecg.toronto.edu/~jayar/pubs/brown/survey.pdf> (accessed 10 June 2017).

11. Logic Array Blocks and Adaptive Logic Modules in Stratix III Devices, available at: https://www.altera.com.cn/content/dam/alterawww/global/zh_CN/pdfs/literature/hb/stx3/stx3_siii51002.pdf (accessed 20 October 2017).

12. Stepchenkov Iu.A. [et al.]. Samosinkhronnyi vychislitel' dlia vysokonadezhnykh primenenii [Self-timed computer for high-reliability applications]. *Sbornik trudov vserossiiskoi nauchno-tekhnicheskoi konferentsii "Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem (MES)"*. Moscow: Institut problem proektirovaniia v mikroelektronike RAN, 2010, no. 1.

13. Stepchenkov Iu.A. [et al.]. Biblioteka samosinkhronnykh elementov dlia tekhnologii BMK [Library elements for self-timed FPGA technology]. *Sbornik nauchnykh trudov "Problemy razrabotki perspektivnykh mikroelektronnykh sistem – 2006"*. Ed. A.L. Stempkovskogo Moscow: Institut problem proektirovaniia v mikroelektronike RAN, 2006, pp. 259-264.

14. Tiurin S.F. Derevo tranzistorov dlia realizatsii sistem logicheskikh funktsii [Tree of transistors for implementation of logic functions systems]. *Vestnik Permskogo natsional'nogo issledovatel'skogo*

politekhničeskogo universiteta. Elektrotehnika, informacionnye tekhnologii, sistemy upravleniia, 2015, no. 2(14), pp. 37-45.

15. Vixorov R.V., Tiurin S.F. Programmiruemye logicheskie elementy PLIS dlja realizatsii sistem logičeskikh funktsii [Programmable logic elements of FPGA for systems of logic functions realization]. *Vestnik Permskogo natsional'nogo issledovatel'skogo politekhničeskogo universiteta. Elektrotehnika, informacionnye tekhnologii, sistemy upravleniia*, 2017, no. 23, pp. 133-145.

16. Vixorov R. Universal logic cells to implement systems functions. *Proceedings of the 2016 IEEE North West Russia Section Young Researchers in Electrical and Electronic Engineering Conference, EIconRusNW 2016*, 2016, pp. 373-375.

17. Tiurin S.F., Vixorov R.V. Programmiruemoje logičeskoe ustrojstvo [Programmable logic device]. Patent Rossijskaia Federatsiia no. 2573732 (2016).

18. Sait razrabotčika National Instruments [National Instruments Developer Site], available at: <http://www.ni.com/multisim/> (accessed 08 June 2017).

19. Carl Carmichael. Triple Module Redundancy Design Techniques for Virtex FPGAs, available at: https://www.xilinx.com/support/documentation/application_notes/xapp197.pdf (accessed 07 December 2016).

20. Xilinx Reduces Risk and Increases Efficiency for IEC61508 and ISO26262 Certified Safety Applications. WP461 (v1.0). April 9, 2015, available at: http://www.xilinx.com/support/documentation/white_papers/wp461-functional-safety.pdf (accessed 20 December 2016).

21. Tiurin S.F. Statičeskaja operativnaja pamiat' na osnove otkazoustoičivoi iacheiki bazovogo matricnogo kristalla [Static RAM based on a fault-tolerant cell of the base matrix crystal]. *Vestnik Permskogo natsional'nogo issledovatel'skogo politekhničeskogo universiteta. Elektrotehnika, informacionnye tekhnologii, sistemy upravleniia*, 2016, no. 1(17), pp. 16-27.

22. Tiurin S.F. Radiatsionno-ustoičivaia iacheika SRAM [Radiation-resistant SRAM cell]. *Vestnik Permskogo natsional'nogo issledovatel'skogo politekhničeskogo universiteta. Elektrotehnika, informacionnye tekhnologii, sistemy upravleniia*, 2014, no. 4(12), pp. 14-30.

23. Tiurin S.F., Proxorov A.S. Otkazoustoičivaia programmi-ruemaia logičeskaja matritsa [Fault-tolerant programmable logic matrix] *Vestnik Permskogo natsional'nogo issledovatel'skogo politekhničeskogo*

universiteta. Elektrotehnika, informatsionnye tekhnologii, sistemy upravleniia, 2017, no. 23, pp. 45-58.

24. Prohorov A.S. Green logic. *Proceedings of the 2016 IEEE North West Russia Section Young Researchers in Electrical and Electronic Engineering Conference, EIconRusNW 2016*, 2016, pp. 785-786.

25. Carver A. Mead, Lynn Conway. Introduction to VLSI Systems, available at: <http://ai.eecs.umich.edu/people/conway/VLSI/VLSIText/PP-V2/V2.pdf>; <https://ru.scribd.com/document/104510240/VLSI-Introduction-to-VLSI-Systems-Mead-amp-Conway> (accessed 21 October 2017).

Сведения об авторах

Вихорев Руслан Владимирович (Пермь, Россия) – аспирант кафедры «Автоматика и телемеханика» Пермского национального исследовательского политехнического университета; инженер-конструктор ПАО «Пермская научно-производственная приборостроительная компания» (614990, Пермь, Комсомольский пр., 29, e-mail: vihrusvla@gmail.com).

Прохоров Андрей Сергеевич (Пермь, Россия) – аспирант кафедры «Автоматика и телемеханика» Пермского национального исследовательского политехнического университета; программист АО «ЭР-Телеком Холдинг» (614990, Пермь, ш. Космонавтов., 111, корпус 43, e-mail: прохор007@yandex.ru)

Тюрин Сергей Феофентович (Пермь, Россия) – заслуженный изобретатель Российской Федерации, доктор технических наук, профессор кафедры «Автоматика и телемеханика» Пермского национального исследовательского политехнического университета (614990, Пермь, Комсомольский пр., 29, e-mail: tyurinsergfeo@yandex.ru).

Никитин Алексей Сергеевич – студент Пермского национального исследовательского политехнического университета (614990, Пермь, Комсомольский пр., 29, e-mail: siriousbiz@yandex.ru).

About the authors

Vikhorev Ruslan Vladimirovich (Perm, Russian Federation) is a design engineer Public Joint-stock Company “Perm Scientific-Industrial

Instrument Making Company”; post-graduate student at the Department of Automation and Telemechanics Perm National Research Polytechnic University (614990, Perm, 29, Komsomolsky pr., e-mail: vihrusvla@gmail.com).

Prokhorov Andrey Sergeevich (Perm, Russian Federation) is programmer of JSC “ER-Telecom Holding”, postgraduate student at the Department of Automation and Telemechanics Perm National Research Polytechnic University (614990, Perm, sh. Kosmonavtov, 111, korpus 43, e-mail: npoxop007@yandex.ru).

Tyurin Sergey Feofentovich (Perm, Russian Federation) is a Honored Inventor of the Russian Federation, Doctor of Technical Sciences, Professor at the Department of Automation and Telemechanics Perm National Research Polytechnic University (614990, Perm, 29, Komsomolsky pr., e-mail: tyurinsergfeo@yandex.ru).

Nikitiin Alexey Sergeevich (Perm, Russian Federation) is a Student Perm National Research Polytechnic University (614990, Perm, 29, Komsomolsky pr., e-mail: siriousbiz@yandex.ru).

Получено 09.10.2017