

УДК 681.32

С.Ф. ТюринПермский национальный исследовательский политехнический университет,
Пермь, Россия**О РЕЛИЗАЦИИ ЛОГИЧЕСКИХ ФУНКЦИЙ ШЕСТИ
ПЕРЕМЕННЫХ В АДАПТИВНОМ ЛОГИЧЕСКОМ
МОДУЛЕ FPGA STRATIX III**

Логика программируемых пользователем вентильных матриц (ППВМ), в последние годы именуемых в России программируемыми логическими интегральными схемами – ПЛИС типа FPGA (Field-Programmable Gate Array), строится на программируемых мультиплексорах, реализующих однобитовую память. Такие запоминающие устройства, фактически являющиеся ОЗУ, в документации фирм-производителей называются LUT (Look Up Table), что имеет смысл таблицы истинности. При конфигурировании ПЛИС в LUT записывается таблица истинности необходимой логической функции, в которой для каждого конкретного входного вектора указывается значение логической функции. Чаще всего используются LUT на 4 переменных 4LUT, соответственно необходимый объем конфигурационной памяти – 16 бит. LUT представляет собой дерево транзисторов, одна из 16 ветвей которого активизирована соответствующим входным набором. Источники указывают, что такое количество переменных является оптимальным для реализации комбинационных и последовательностных конечных автоматов. С начала нулевых годов производители, в частности фирма Альтера, начали анонсировать LUT на большее число переменных, в частности, упоминаются 5LUT, 6LUT и даже 7LUT и 8LUT. При этом заявляется, что такое усовершенствование позволяет повысить эффективность реализации логических функций. Однако известно, что согласно правилам Мида и Конвей не допускается соединение более чем четырех передающих транзисторов в последовательной цепочке, имеющееся в 4LUT. Вызывают интерес такие сложные LUT, названные адаптивными логическими модулями, так как они могут реализовывать несколько логических функций различного-настраиваемого числа переменных. Такие ALM имеются в ПЛИС Stratix III фирмы «Альтера». Анализируются описания ALM ПЛИС Stratix III и устанавливаются неточности описания в русскоязычных источниках. Устанавливается, что ALM содержит помимо двух указанных 4LUT ещё четырех дополнительных 3LUT, что и обеспечивает реализацию двух 4LUT, и, соответственно, выбор одного из четырех 4LUT есть как раз 6LUT. Таким образом, реализация функции шести переменных использует композицию деревьев 4LUT и 3LUT, что и обеспечивает соблюдение правил Мида и Конвей.

Ключевые слова: логический элемент, ПЛИС типа FPGA, LUT, транзистор, Stratix III, функционально-полный толерантный логический элемент-ФПТЛЭ, адаптивный логический модуль.

S.F. Tyurin

Perm National Research Polytechnic University, Perm, Russian Federation

REALIZATION OF 6 INPUT LUT IN ADAPTIVE LOGIC MODULE

The logic of field programmable gate arrays (FPGAs), referred to in Russian programmable logic integrated circuits – PLIC type FPGA (Field-Programmable Gate Array) programmable multiplexers based on realizing one-bit memory. Such storage devices are actually RAM, documentation firms - producers called LUT (Look Up Table), it makes sense to truth table. When configuring the FPGA LUT recorded truth table the necessary logic function, which for each input vector indicates the value of the logic function. The most commonly used variables LUT 4, 4LUT, respectively, the necessary amount of configuration memory – 16 bits. LUT is a tree of transistors, one of 16 branches which enabled the corresponding input set. Sources indicate that a number of variables is optimal for the realization of combinational and sequential state machines. Since the beginning of zero years manufacturers, in particular firm Altera began to announce the LUT to a greater number of variables, in particular, referred to 5LUT, 6LUT even 7LUT and 8LUT. At the same time it states that this improvement can increase the efficiency of implementing logic functions. However, it is known that according to the rules Mead and Conway is not permissible to connect more than four transistors in a serial transmission chain. Of interest are complex LUT, called adaptive logic modules ALM, since they can implement multiple logical functions of different custom-numbers of variables. These ALM are in the Stratix III FPGA firm Altera. Analyzes describe the Stratix III FPGA and inaccurate descriptions installed in the Russian-language sources. It is established that ALM contains besides the two mentioned 4LUT four more additional 3LUT, which ensures the implementation of two 4LUT and, accordingly, the selection of one of four 4LUT-that is just 6LUT. Thus, the implementation of a function of two variables using the composition of trees 4LUT 3LUT, which ensures compliance with the rules Mead and Conway.

Keywords: FPGA, logic functions, logic element, LUT, transistor, Stratix III, redundancy, functional complete tolerant logic element (FCTLE), adaptive logic module.

Введение. Программируемые пользователем вентиляльные матрицы (ППВМ), чаще называемые в РФ программируемыми логическими интегральными схемами – ПЛИС типа FPGA (Field-Programmable Gate Array), содержат логические элементы, именуемые в документации фирмы «Альтера» LUT (Look Up Table) – таблицы истинности, представляющие из себя мультиплексоры на основе деревьев из передающих транзисторов [1]. Наиболее полное представление о них для русскоязычного читателя даёт великолепный материал С. Цыбина, А. Строгонова [2]. Простейший LUT на две переменные (2-LUT) имел бы вид (рис. 1).

Для настройки на заданную логическую функцию двух переменных в четыре ячейки ОЗУ (SRAM) загружается соответствующая таблица истинности. При активации одного из 4 путей в дереве транзисторов (см. рис. 1) переменными X1, X2 значение логической функции считывается из соответствующей ячейки ОЗУ и передаётся на выход

OUT. Инверторы по переменным обеспечивают реализацию всех членов СДНФ: $z_{OUT} = a\bar{x}_2\bar{x}_1 \vee b\bar{x}_2x_1 \vee cx_2\bar{x}_1 \vee dx_2x_1$.

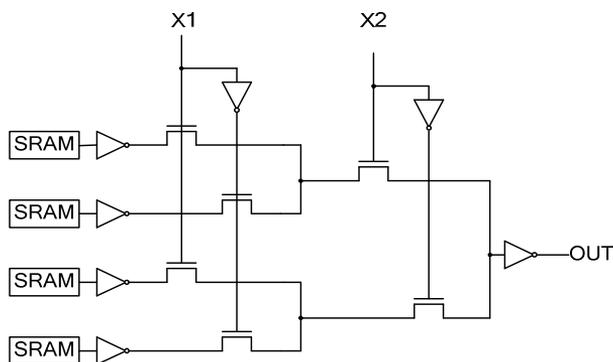


Рис. 1. LUT на две переменные (2-LUT)

LUT на три переменные (3-LUT) представлен на (рис. 2).

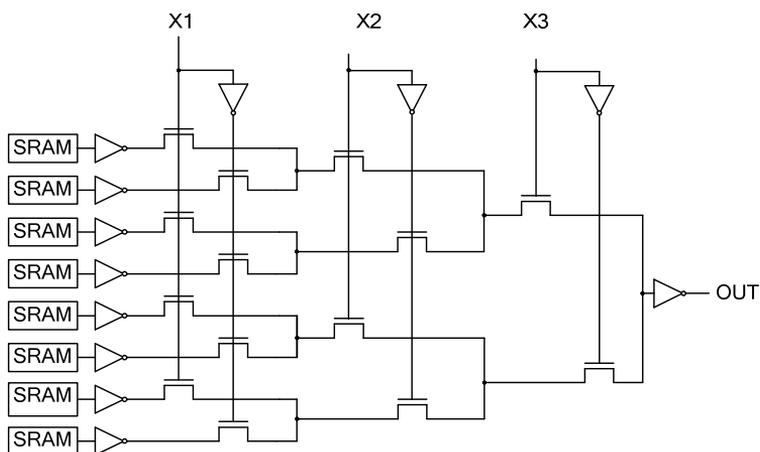


Рис. 2. LUT на три переменные (3-LUT)

Здесь уже необходимо 8 бит настройки. В источниках указано, что оптимальным по быстродействию и сложности представления типовых логических функций является использование LUT на четыре переменных (4-LUT). Такой LUT для входных переменных A, B, C, D с установленным на выходе функционально-полным толерантным логическим элементом ФПТЛЭ [3–8] изображён на рис. 3.

ФПТЛЭ обеспечивает реализацию половинных возможностей LUT при отказе одного любого транзистора среди VT1-VT30, транзисторов инверторов и SRAM. В ПЛИС Stratix III имеются адаптивные

(перестраиваемые под требуемую задачу) логические блоки (ALM), которые объединяются в логические блоки (Logic Array Block, LAB) [9], которые, как утверждается, реализуют функции даже 7 переменных. Вызывают интерес технологии такой реализации LUT по сравнению с представленными на рис. 1, 3.

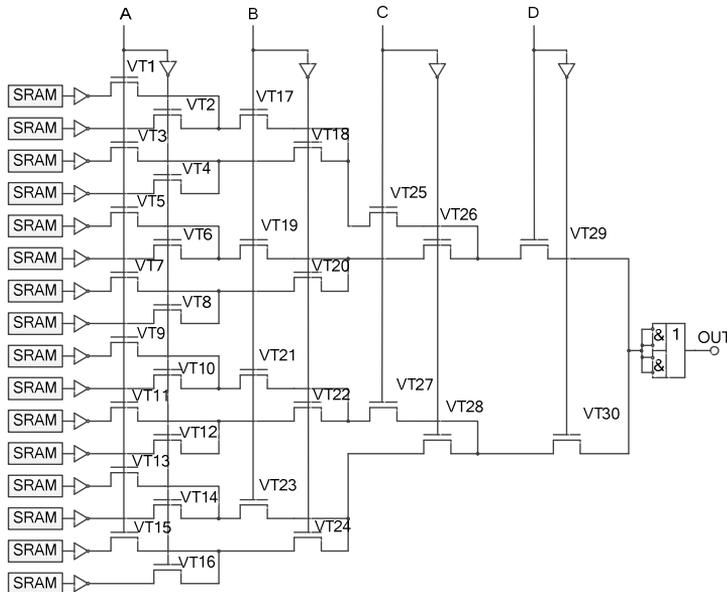


Рис. 3. LUT на четыре переменных (4-LUT)

2. Особенности ПЛИС Stratix III. ПЛИС Stratix III описана в достаточном количестве источников, имеются даже диссертации, защищённые в Воронежском техническом университете [10–13]. Имеются данные о возможном производстве таких ПЛИС на Воронежском заводе полупроводниковых приборов «ВЗПП-Микрон», ОАО «КТЦ «ЭЛЕКТРОНИКА»» (предприниматель – уже упомянутый С.А. Цыбин) [14], а также в Зеленограде.

Структура таких ПЛИС включает так называемые блоки LAB (logic array block), они содержат, как написано, в качестве «строительных блоков» адаптивные логические модули ALM (adaptive logic modules) в количестве 10 штук, которые могут быть конфигурированы для реализации комбинационной логики, в том числе арифметических операций, а также для реализации автоматов с памятью. Имеются локальные (local interconnect) – к соседу внутри LAB слева и справа, а также глобальные (между LAB) матрицы связей (рис. 4).

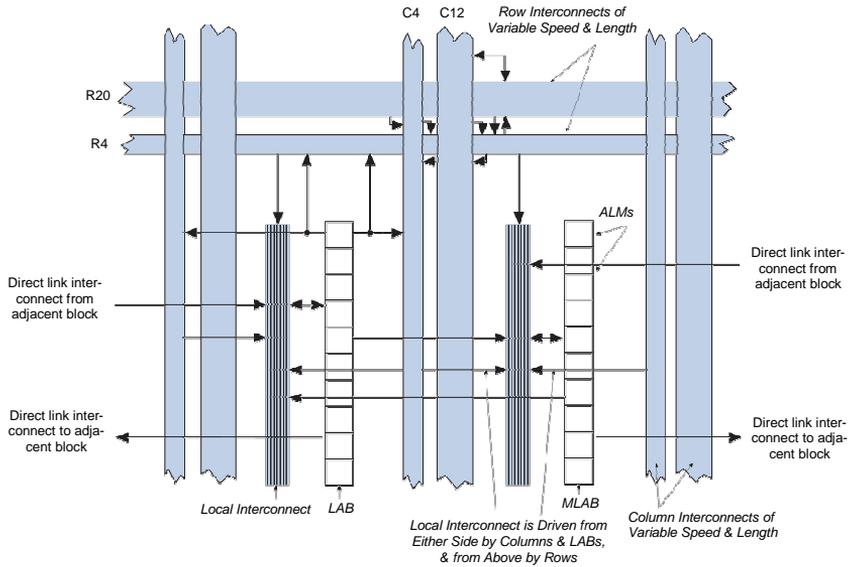


Рис. 4. Структура ПЛИС Stratix III

Memory LAB (MLAB) – это вариация LAB, которая может быть реконфигурирована в двухпортовое ОЗУ ёмкостью 320 бит (рис. 5).

LUT-based-16×2 ⁽¹⁾ Simple dual port SRAM	ALM
LUT-based-16×2 ⁽¹⁾ Simple dual port SRAM	ALM
LUT-based-16×2 ⁽¹⁾ Simple dual port SRAM	ALM
LUT-based-16×2 ⁽¹⁾ Simple dual port SRAM	ALM
LUT-based-16×2 ⁽¹⁾ Simple dual port SRAM	ALM
LAB Control Blok	LAB Control Blok
LUT-based-16×2 ⁽¹⁾ Simple dual port SRAM	ALM
LUT-based-16×2 ⁽¹⁾ Simple dual port SRAM	ALM
LUT-based-16×2 ⁽¹⁾ Simple dual port SRAM	ALM
LUT-based-16×2 ⁽¹⁾ Simple dual port SRAM	ALM
LUT-based-16×2 ⁽¹⁾ Simple dual port SRAM	ALM
LUT-based-16×2 ⁽¹⁾ Simple dual port SRAM	ALM
MLAB	LAB

Рис. 5. Структура MLAB и LAB

Каждый ALM может пропускать сигналы «через себя» (рис. 6).

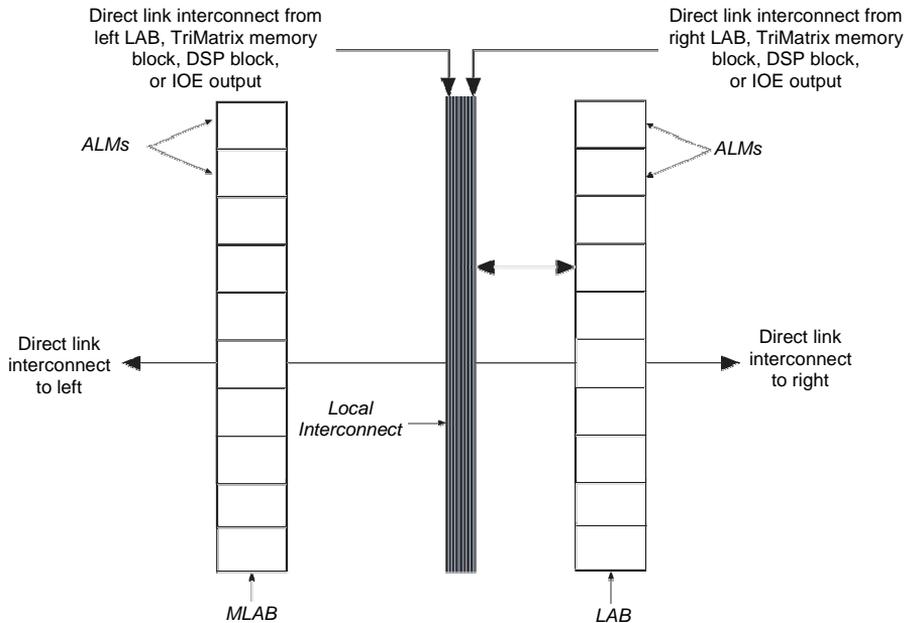


Рис. 6. Непосредственная связь (direct link connection)

Блоки управления LAB (Control Block) обеспечивают управление (LAB Control Signals) с использованием сигналов локальных связей и синхронизации.

3. Адаптивные логические блоки ПЛИС Stratix III. В доступных для автора источниках указано, что архитектура ALM совместима архитектурой 4-входовых LUT-4 LUT, а один ALM может также реализовывать любые функции до шести переменных и определенные функции семи переменных. Отмечается, что такая архитектура выигрывает по быстродействию и эффективности (вероятно, речь идёт об аппаратных затратах и площади кристалла). Далее в русскоязычных источниках и даже в статьях Цыбина С.А. довольно путано описывается эта перестраиваемая логика ALM. Например, приводится на (рис. 7).

На рис. 7 в верхней части указаны восемь входов адаптивной LUT, что может создать впечатление о возможности реализации 8-LUT, но нижняя часть рисунка уточняет, что LUT-то всё-таки шестивходовая. Более подробная структура ALM0, ALM1, представленная на рис. 8, не вносит ясности в особенности реализации дерева 6-LUT.

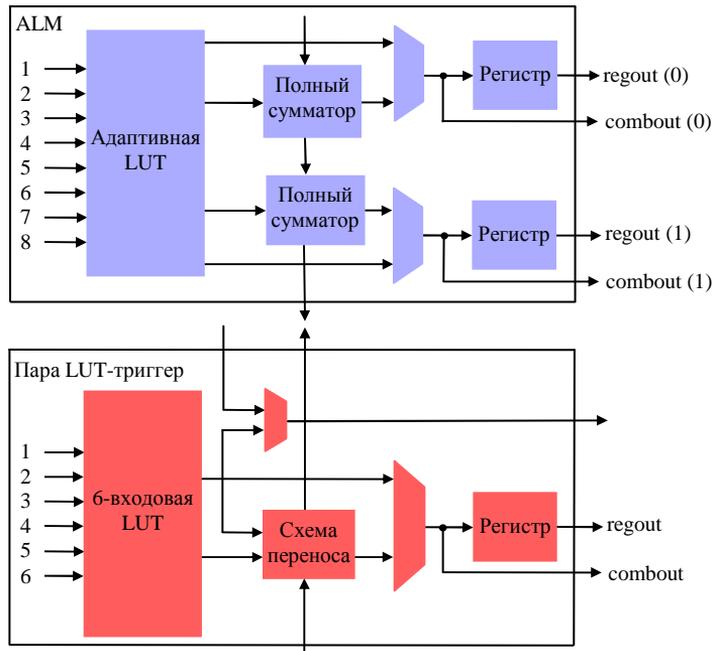


Рис. 7. Адаптивный логический модуль ПЛИС Stratix III

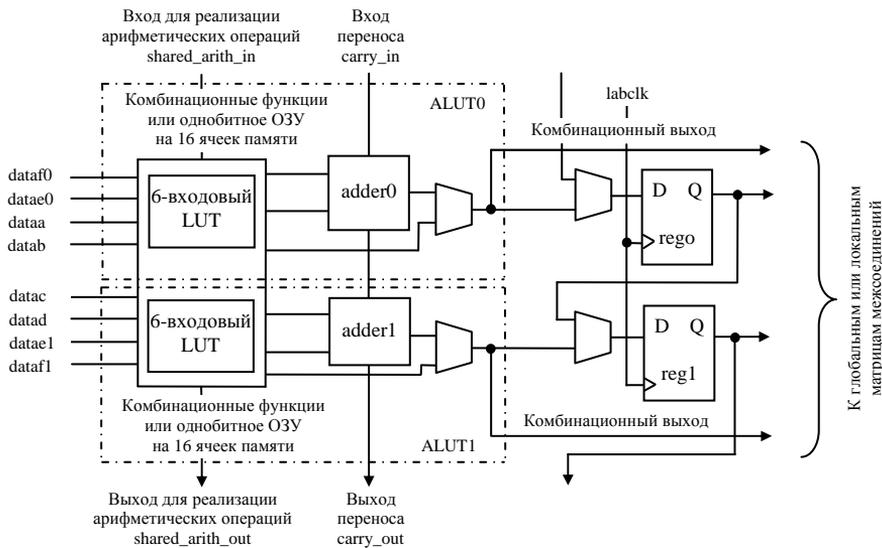


Рис. 8. Состав адаптивных логических модулей ALM0, ALM1 ПЛИС Stratix III

Ещё более запутывает информация презентации [15], в которой чёрным по белому написано, что для реализации k-LUT необходимо 2k бит SRAM и мультиплексор также 2k:1. Это попросту невозможно! Различные режимы использования ALM не проясняют детали (рис. 9).

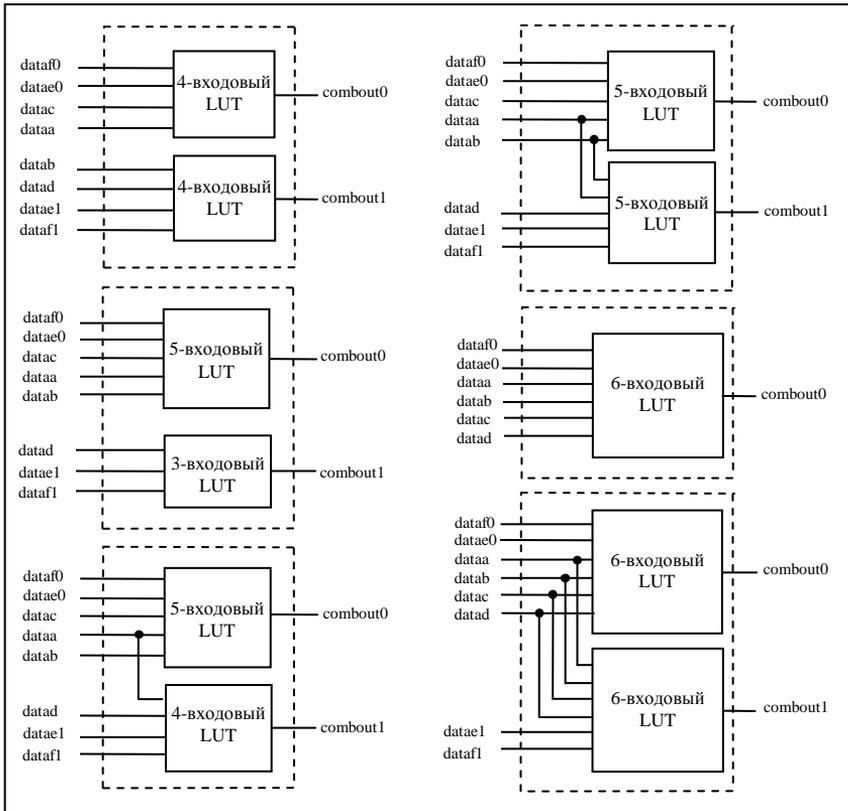


Рис. 9. Режимы использования адаптивных логических модулей ALM

Со входами a, b, c, d мы уже встречались (см. рис. 3), это адресные входы мультиплексора 16-1, входы данных которого должны настраиваться 16 битами SRAM, это 2 в степени 4. А вот входы $e0, f0, e1, f1$ вызывают вопрос, не парафазные ли это линии для дерева транзисторов? Тем не менее, возьмём первоисточник (те из читателей, кто жил в эпоху марксизма-ленинизма, знают, что это такое!).

4. Детализация архитектуры адаптивных логических блоков.

Рассмотрим документацию на ПЛИС Stratix III [16], там приведена детализация ALM, обозначим некоторые функции (рис. 10).

Таким образом, выясняется, что всё-таки ALM построен не только на двух 4LUT, но имеются ещё четыре LUT на 3 переменных 3LUT, т.е. из двух 3LUT можно получить один 4LUT. Следовательно, всего четыре 4LUT, тогда становится понятно, как строится 6LUT – двумя старшими переменными e, f выбирают один из четырёх! Получим соответствующие выражения:

$$\begin{aligned}
 4LUT_{1,1} &= [a \vee (clk)]; & 3LUT_{1,1} &= 3LUT_{2,1} = 4LUT_{1,1}; \\
 4LUT_{1,2} &= [b \vee (out2)]; & 3LUT_{1,2} &= 3LUT_{2,2} = 4LUT_{1,2}; \\
 4LUT_{1,3} &= c; & 3LUT_{1,3} &= 3LUT_{2,3} = 4LUT_{1,3}. \\
 4LUT_{1,4} &= [e0 \vee (out1) \vee Q1 \vee d]. \\
 4LUT_{2,1} &= 4LUT_{1,1} = [a \vee (clk)]; & 3LUT_{3,1} &= 3LUT_{4,1} = 4LUT_{2,1}; \\
 4LUT_{1,2} &= 4LUT_{1,1} = [b \vee (out2)]; & 3LUT_{3,2} &= 3LUT_{4,2} = 4LUT_{2,2}; \\
 4LUT_{1,3} &= d; & 3LUT_{3,3} &= 3LUT_{4,3} = 4LUT_{2,3}. \\
 4LUT_{1,4} &= [c \vee Q2 \vee e1]. \\
 out0.1 &= 3LUT_1 \vee 3LUT_2; & out0.2 &= 3LUT_3 \vee 3LUT_4; \\
 out1.1 &= 4LUT_1 \vee 4LUT_2; & out2.1 &= 4LUT_1 \vee 4LUT_2; \\
 out1 &= out1.1 \vee out1.2; & out2 &= out2.1 \vee out2.2; \\
 out1.2 &= out0.1 \vee out2.2. & out1.2 &= out0.1 \vee out2.2.
 \end{aligned}$$

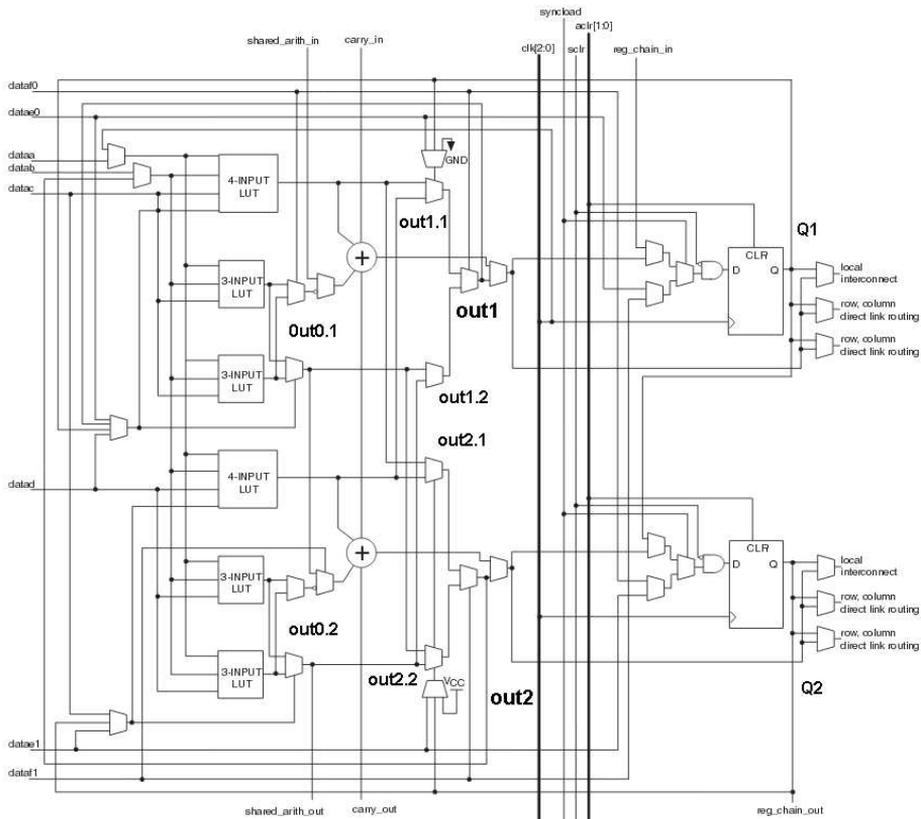


Рис. 10. Детализация архитектуры адаптивных логических модулей ALM с обозначенными некоторыми функциями

На рис. 10 не указаны управляющие сигналы на ряде мультиплексоров, обозначенных трапециями (LUT1-6 тоже мультиплексоры, но изображены с управляющими сигналами, настройка подразумевается).

Выводы

Таким образом, на самом деле в ALM имеются два 4LUT, как и указано в переводных статьях, но не только. Фактически имеются ещё два LUT на 3 переменных 3LUT, из которых можно построить два дополнительных 4LUT. Всего и получается четыре 4LUT. Тогда понятно, как из них строятся и 5LUT, и 6LUT. Не вызывает затруднений и вопрос получения двух 5 LUT. Следовательно, настройка должна содержать не менее 64 битов для задания любой функции 6 переменных. Целесообразно в дальнейшем по выражениям настройки ALM получить логическую модель и проверить по ней соответствие заявленных возможностей ALM с изображёнными в документации вариантами с учётом возможностей, предложенных в [17–21] и ограничений [22].

Библиографический список

1. Look up table implementation of fast carry for adders and counters: pat. US 005274581A, 28.12.1993.
2. Цыбин С. Программируемая коммутация ПЛИС: взгляд изнутри [Электронный ресурс]. – URL: http://www.kit-e.ru/articles/plis/2010_11_56.php (дата обращения: 16.12.2014).
3. Тюрин С.Ф. Функционально-полные толерантные булевы функции // Наука и технологические разработки. – 1998. – № 4. – С. 7–10.
4. Функционально-полный толерантный элемент: пат. Рос. Федерация № 2438234 / С.Ф. Тюрин, О.А. Громов; опубл. 27.12.2011. Бюл. № 36.
5. Функционально-полный толерантный элемент: пат. Рос. Федерация № 2449469 / С.Ф. Тюрин, О.А. Громов, А.В. Греков; опубл. 27.04.2012. Бюл. № 12.
6. Функционально-полный толерантный элемент: пат. Рос. Федерация № 2496227 / Тюрин С.Ф., Громов О.А., Греков А.В., Сулейманов А.А. Опубл. 20.10.2013. Бюл. № 29.
7. Программируемое логическое устройство: пат. Рос. Федерация № 2503993 / С.Ф. Тюрин, А.В. Набатов, О.А. Громов, А.В. Греков, Д.А. Карлов; опубл. 10.01.2014. Бюл. № 1.
8. Функционально-полный толерантный элемент: пат. Рос. Федерация № 2541854 / Ю.П. Дудкин, С.Ф. Тюрин, А.А. Южаков, О.А. Громов; опубл. 20.02.2015. Бюл. № 5.

9. Золотуха Р., Комолов Д. Stratix III – новое семейство FPGA фирмы Altera [Электронный ресурс]. – URL: http://kit-e.ru/assets/files/pdf/2006_12_30.pdf (дата обращения: 28.11.2015).

10. Использование ресурсов ПЛИС Stratix III фирмы Altera при проектировании микропроцессорных ядер [Электронный ресурс]. – URL: <file:///C:/Users/%D0%A2%D1%8E%D1%80%D0%B8%D0%BD/Desktop/%D0%A6%D1%8B%D0%B1%D0%B8%D0%BD%2010%20%D0%B3%D0%BE%D0%B4.pdf> (дата обращения: 27.11.2015).

11. Цыбин С.А. Проектирование высокоинтегрированных программируемых логических интегральных схем по субмикронным проектным нормам: дис. ... канд. техн. наук [Электронный ресурс]. – URL: <http://www.dissercat.com/content/proektirovanie-vysokointegrirovannykh-programmiruemykh-logicheskikh-integralnykh-skhem-po-su#ixzz3sl1sJ1o7> (дата обращения: 28.11.2015).

12. Давыдов С.И. Проектирование функциональных блоков программируемой логической интегральной схемы, конфигурируемых с использованием метода сканирования пути [Электронный ресурс]. – URL: <http://www.dslib.net/tverdoteln-elektronika/proektirovanie-funkcionalnyh-blokov-programmiruemoj-logicheskoy-integralnoj.html> (дата обращения: 28.11.2015).

13. Быстрицкий А.В. Проектирование структуры межсоединений программируемых логических интегральных схем [Электронный ресурс]. – URL: <http://www.dslib.net/tverdoteln-elektronika/proektirovanie-struktury-mezhsoedinenij-programmiruemyh-logicheskikh-integralnyh.html> (дата обращения: 28.11.2015).

14. Открытое акционерное общество «Конструкторско-технологический центр “Электроника”» [Электронный ресурс]. – URL: <http://www.edc-electronics.ru/upload/iblock/1cd/1cd2009ffa52599ff023b0843-885fad6.pdf> (дата обращения: 29.11.2015).

15. Presentation on ALTERA'S FPGA Technology [Электронный ресурс]. – URL: <http://www.authorstream.com/Presentation/hsrathore158-1410279-fpga/> (дата обращения: 29.11.2015).

16. Logic Array Blocks and Adaptive Logic Modules in Stratix III Devices [Электронный ресурс]. – URL: https://www.altera.com.cn/content/dam/altera-www/global/zh_CN/pdfs/literature/hb/stx3/stx3_siii51002.pdf (дата обращения: 29.11.2015).

17. Программируемое логическое устройство: пат. Рос. Федерация № 2544750 / С.Ф. Тюрин; опубл. 20.03.2015. Бюл. № 8.

18. Программируемое логическое устройство: пат. Рос. Федерация № 2547229 / С.Ф. Тюрин, А.Ю. Городилов, Р.В. Вихорев; опубл. 10.04.2015. Бюл. № 10.

19. Тюрин С.Ф., Городилов А.Ю., Данилова Е.Ю. Программируемое логическое устройство. Положительное решение ФСИС РФ по заявке № 2014116999/08(026804) от 25.04.2014.

20. Тюрин С.Ф. Ячейка статической оперативной памяти. Положительное решение ФСИС РФ от 20.03.15 по заявке 2014110973/08 от 21.03.2014.

21. Методика автоматизированного синтеза самосинхронных схем в функционально полном толерантном базисе / А.Н. Каменских, С.Ф. Тюрин, Ф.А. Пономарев, О.Д. Барламов // Нейрокомпьютеры: разработка, применение. – 2015. – № 10. – С. 43–47.

22. Дж. Д. Ульман. Вычислительные аспекты СБИС / пер. с англ. А.В. Неймана; под ред. П.П. Пархоменко. – М.: Радио и связь, 1990. – 480 с.

References

1. Look up table implementation of fast carry for adders and counters: pat. US 005274581A, 28.12.1993.

2. Tsybin S. Programmiruemaia kommutatsiia PLIS: vzgliad iznutri [Software switching FPGA: outward glance], available at: http://www.kit-e.ru/articles/plis/2010_11_56.php (accessed 16 December 2014).

3. Tiurin S.F. Funktsional'no-polnye tolerantnye bulevy funktsii [Full-range tolerance Boolean formula]. *Nauka i tekhnologicheskie razrabotki*, 1998, no. 4, pp. 7-10.

4. Tiurin S.F., Gromov O.A. Funktsional'no-polnyi tolerantnyi element [Full-range tolerance element]. *Patent RF No. 2438234*, 2011.

5. Tiurin S.F., Gromov O.A., Grekov A.V. Funktsional'no-polnyi tolerantnyi element [Full-range tolerance element]. *Patent RF No. 2449469*, 2012.

6. Tiurin S.F., Gromov O.A., Grekov A.V., Suleimanov A.A. Funktsional'no-polnyi tolerantnyi element [Full-range tolerance element]. *Patent RF No. 2496227*, 2013.

7. Tiurin S.F., Nabatov A.V., Gromov O.A., Grekov A.V., Karlov D.A. Programmiruемое logicheskoe ustroistvo [Programmable logic device]. *Patent RF No. 2503993*, 2014.

8. Dudkin Iu.P., Tiurin S.F., Iuzhakov A.A., Gromov O.A. Funktsional'no-polnyi tolerantnyi element [Full-range tolerance element]. *Patent RF No. 2541854*, 2015.

9. Золотуха Р., Комолов Д. Stratix III – новое семейство FPGA фирмы Altera [Stratix III – new line FPGA Altera company], available at: http://kit-e.ru/assets/files/pdf/2006_12_30.pdf (accessed 28 November 2015).

10. Ispol'zovanie resursov PLIS Stratix III firmy Altera pri proektirovani mikroprotsessornykh iader [The usage of the sources FPGA Stratix III Altera company while designing microprocessing kernel], available at: <file:///C:/Users/%D0%A2%D1%8E%D1%80%D0%B8%D0%BD/Desktop/%D0%A6%D1%8B%D0%B1%D0%B8%D0%BD%2010%20%D0%B3%D0%BE%D0%B4.pdf> (accessed 27 November 2015).

11. Tsybin S.A. Proektirovanie vysokointegrirovannykh programmiruemykh logicheskikh integral'nykh skhem po submikronnym proektnym normam [Designing highly integrated programming logical integrated schemes according to the submicron rules]. Ph.D. Thesis, available at: <http://www.dissercat.com/content/proektirovanie-vysokointegrirovannykh-programmiruemykh-logicheskikh-integralnykh-skhem-po-su#ixzz3sl1sJ1o7> (accessed 28 November 2015).

12. Davydov S.I. Proektirovanie funktsional'nykh blokov programmiruemoi logicheskoi integral'noi skhemy, konfiguriruemykh s ispol'zovaniem metoda skanirovaniia puti [Designing functional blocks of the programmable logic integrated circuit using the method of configurable scan path], available at: <http://www.dslib.net/tverdoteln-elektronika/proektirovanie-funkcionalnyh-blokov-programmiruemoj-logicheskoy-integralnoj.html> (accessed 28 November 2015).

13. Bystritskii A.V. Proektirovanie struktury mezhsoedinenii programmiruemykh logicheskikh integral'nykh skhem [Designing an interconnect architecture of programmable logic integrated circuits], available at: <http://www.dslib.net/tverdoteln-elektronika/proektirovanie-struktury-mezhsoedinenij-programmiruemykh-logicheskikh-integralnykh.html> (accessed 28 November 2015).

14. Otkrytoe aktsionernoe obshchestvo «Konstruktorsko-tehnologicheskii tsentr “Elektronika”» [Open joint stock Company «Design and technology center «Electronics»], available at: <http://www.edc-electronics.ru/upload/iblock/1cd/1cd2009ffa52599ff023b0843885fad6.pdf> (accessed 29 November 2015).

15. Presentation on ALTERA'S FPGA Technology, available at: <http://www.authorstream.com/Presentation/hsrathore158-1410279-fpga> (accessed 29 November 2015).

16. Logic Array Blocks and Adaptive Logic Modules in Stratix III Devices, available at: https://www.altera.com.cn/content/dam/altera-www/global/zh_CN/pdfs/literature/hb/stx3/stx3_siii51002.pdf (accessed 29 November 2015).

17. Tiurin S.F. Programmiruемое logicheskoe ustroystvo [Code logical unit]. *Patent RF No. 2544750*, 2015.

18. Tiurin S.F., Gorodilov A.Iu., Vikhorev R.V. Programmiruемое logicheskoe ustroystvo [Code logical unit]. *Patent RF No. 2547229*, 2015.

19. Tiurin S.F., Gorodilov A.Iu., Danilova E.Iu. Programmi-ruемое logicheskoe ustroystvo. Polozhitel'noe reshenie FSIS RF po zaiavke № 2014116999/08(026804) ot 25.04.2014 [Code logical unit: positive decision of the Rospatent due to the application № 2014116999/08(026804) dated 25.04.2014].

20. Tiurin S.F. Iacheika staticheskoi operativnoi pamiaty. Polozhitel'noe reshenie FSIS RF ot 20.03.15 po zaiavke 2014110973/08 ot 21.03.2014 [Static -RAM: positive decision of the Rospatent dated 20.03.15 according to the application № 2014110973/08 dated 21.03.2014].

21. Kamenskikh A.N., Tiurin S.F., Ponomarev F.A., Barlamov O.D. Metodika avtomatizirovannogo sinteza samosinkhronnykh skhem v funktsional'no polnom tolerantnom bazise [The method of automated synthesis self-synchronous schemes in fully functional tolerance bases]. *Neirokomp'iutery: razrabotka, primenenie*, 2015, no. 10, pp. 43-47.

22. Ul'man Dzh. D. Vychislitel'nye aspekty SBIS [Computational Aspects of VLSI]. Moscow: Radio i svyaz', 1990. 480 p.

Сведения об авторе

Тюрин Сергей Феофентович (Пермь, Россия) – заслуженный изобретатель Российской Федерации, доктор технических наук, профессор кафедры автоматизации и телемеханики Пермского национального исследовательского политехнического университета (614990, Пермь, Комсомольский пр., 29, e-mail: tyurinsergfeo@yandex.ru).

About the author

Tyurin Sergey Feofentovich (Perm, Russian Federation) is a Honored Inventor of the Russian Federation, Doctor of Technical Sciences, Professor at the Department of Automation and Telemechanics Perm National Research Polytechnic University (614990, Perm, 29, Komsomolsky av., e-mail: tyurinsergfeo@yandex.ru).

Получено 14.07.2016