

УДК 004.05

А.Н. Каменских

Пермский национальный исследовательский политехнический университет,
Пермь, Россия

ПРИМЕНЕНИЕ ФУНКЦИОНАЛЬНОГО АНАЛИЗА ДЛЯ ПРОВЕРКИ ДИАГНОСТИЧЕСКИХ СВОЙСТВ САМОСИНХРОННЫХ СХЕМ В УСЛОВИЯХ ОТКАЗОВ

Самосинхронный подход зарекомендовал себя как отличное решение для создания устройств с умным энергопотреблением, вычислительных систем с модуляцией энергии, а также для цифровой аппаратуры работающих в сложных условиях – большого температурного разброса или нестабильного питания. В статье рассматривается одно из свойств строгосамосинхронных схем – самопроверяемость. Самопроверяемость – одно из ключевых свойств самосинхронных схем с точки зрения теории надежности, ведь она позволяет локализовать неисправность и провести саморемонт, что, по сути, снимает задачу диагностики. Задача диагностики является отдельной задачей в рамках теории надежности. В исследованиях, проведенных на заре развития самосинхронной схемотехники, часто говорится о полной самопроверяемости самосинхронных схем относительно определенного типа неисправностей, при этом уточняется, что используется модель константных неисправностей выходов. Индикаторы, фиксирующие окончание переходного процесса, и специальная дисциплина сигналов действительно позволяют говорить о самопроверяемости, самодиагностике и достоверности. Однако до сих пор эти свойства рассматривались для простых схем и с точки зрения устаревшей модели константных неисправностей выходов. В этой статье проводится исследование свойства самопроверяемости с позиции современной теории надежности и модели константных неисправностей входов. В ходе исследования доказывается, что задача диагностики не является навсегда решенной для самосинхронных схем, а также предлагается методика анализа, основанная на функциональном подходе и позволяющая выявить нарушения самосинхронности в условиях отказов или сбоях транзисторов. Рассматриваемые отказы относятся к мутации либо деградации логических функций.

Ключевые слова: самосинхронные схемы, надежность, самопроверяемость, функциональный подход, константные отказы.

A.N. Kamenskih

Perm National Research Polytechnic University, Perm, Russian Federation

THE ANALYSIS OF DIAGNOSTIC PROPERTIES OF SELF-TIMED CIRCUITS IN CASE OF FAULTS USING FUNCTIONAL APPROACH

The self-timed approach becomes excellent solution in designing and development of smart energy-efficient devices or for digital electronics operating in hard unstable environment conditions – high/low temperatures or unstable voltage supply. In this paper, the self-check-ability feature of self-timed circuits is considered. Self-check-ability is one of key features of self-timed circuits in terms of reliability. This feature allows to localize fault and to execute self-repair that does a diagnostic task to be

unnecessary. The diagnostic task is special task of reliability theory. Researchers and developers of self-timed circuits claim that this type of digital circuits have a 100 % self-check-ability but their estimates is based on the stuck-at fault model of outputs. However, still these properties were investigated only for simple circuits and in terms of stuck-at fault model of outputs. In this paper, the self-check-ability is considered from the viewpoint of stuck-at fault model of inputs. This model better describes behavior of CMOS circuit in case of fault. In the research was proved that self-timed circuits self-check-ability can not be equal to 100 % after this the analysis technique based on functional approach is proposed. This technique allows to find sets on which influence of error can be essential. The considered fault's model belongs to the mutations or degradations of logic functions.

Keywords: Self-timed circuits, reliability, self-check-ability, functional approach, stuck-at fault.

Введение. Самосинхронные схемы, предложенные еще в конце 50-х годов Д.Е. Маллером [1], до начала XXI века в основном представляли исключительно академический интерес, но с развитием технологий стало очевидно, что такие традиционные методы проектирования, как использование внешних тактовых сигналов, из-за своих недостатков не позволяют использовать весь потенциал новых технологий. При поиске решений проблемы синхронизации были вновь подняты работы, лежащие в основе самосинхронного подхода [2, 3], и при реализации их идей в конкретных функционально сложных устройствах оказалось, что предполагаемые преимущества самосинхронных устройств подтверждаются, причем в количественных показателях, превышающих ожидания. Таким образом, самосинхронный подход вышел из рамок исключительно академического решения и стал реально применяемым на практике. В работах Варшавского [4] и многих его последователей [5, 6] говорится о 100 % самопроверяемости самосинхронных схем относительно однократных константных отказов выходов. Модель однократных константных отказов выходов использовалась ранее при проектировании на достаточно простых элементах, в которых отказы транзисторов действительно приводили к замыканию выхода на одну из констант. В современной микроэлектронике используются в основном достаточно сложные логические элементы [7], особенно в самосинхронных системах управления [8], где сложность элемента имеет решающее значение из-за задержек, вносимых индикаторами элементов. Поэтому целесообразно исследовать свойство самопроверяемости с точки зрения современных моделей и методов анализа.

1. Модель константных неисправностей входов. До сих пор все вопросы диагностики и отказоустойчивости рассматривались в самосинхронных схемах исключительно с точки зрения константных отказов выходов. Эта модель достаточно широко распространена, однако уже устарела [9]. Современная элементная база содержит большое число

сложных элементов, отказы в которых не приводят к залипанию выхода устройства на какую-либо константу, но при этом искажают реализуемую устройством логическую функцию. Рассмотрим несколько типовых отказов транзисторов на примере ФПТ-элемента (функционально-полного толерантного элемента) [10] (рис. 1).

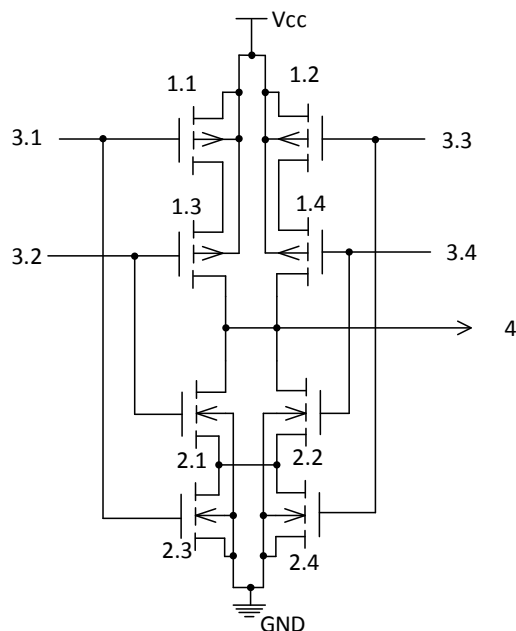


Рис. 1. Функционально-полный толерантный элемент

Первый тип отказов – это короткие замыкания или пробой связи сток–исток, моделируется подключением резистора параллельно отказавшему транзистору. Так, при отказе транзистора 1.1 для подключения питания на выход 4 будет достаточно логического нуля на входе 3.2, таким образом, происходит редукция переключательной функции. В модели константных неисправностей входов эквивалентно подключению на затвор соответствующей пары транзисторов константы в зависимости от того, какой транзистор Р-типа или N-типа отказал, это может быть константа 0 или константа 1 соответственно.

Второй тип отказов – это обрыв связи сток–исток или обрыв затвора. Моделируется удалением связи соединяющей сток транзистора 1.1 и другие элементы схемы, при таком отказе невозможно поступление питания на исток транзистора 1.3, таким образом, также происходит редукция переключательной функции. В модели константных

неисправностей входов эквивалентно подключению на затвор соответствующей пары транзисторов константы в зависимости от того, какой транзистор Р-типа или N-типа отказал, это может быть константа 1 или константа 0 соответственно.

Третий тип отказов – это обрывы и пробой связей, которые сводятся к отказам первого и второго типов.

Разница между моделями константных неисправностей входов и выходов заключается в том, что первая учитывает сложную природу современных КМОП микросхем и полнее описывает возникающие в них неисправности и их возможные комбинации. Именно поэтому все работы в области диагностики самосинхронных схем требуют дополнительного изучения с точки зрения современных моделей неисправностей. В первую очередь необходимо проверить тезис о 100%-ной самопроверяемости самосинхронных схем, для чего в подразделе 2 настоящей статьи описывается предлагаемая методика анализа логических функций.

Работу самосинхронной схемы можно описать композицией четырех устойчивых состояний. Служебное состояние – спейсер, два состояния данных – DATA1, DATA0 и запрещенное состояние – анти-спейсер, достижимое в самосинхронной схеме только вследствие отказов-сбоев (рис. 2).

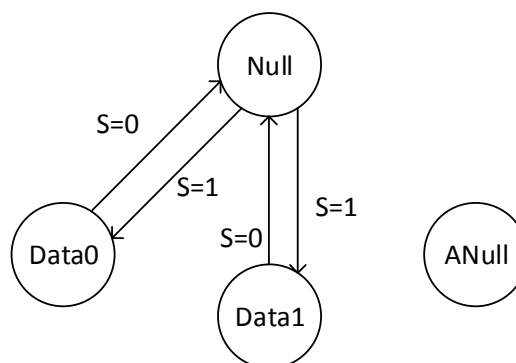


Рис. 2. Диаграмма работы самосинхронного устройства без отказов

При правильной работе устройство переходит только между состояниями данных и спейсера, а при возникновении неисправностей состояния данных могут стать переходными состояниями между спейсером и антиспейсером. Также возможно наличие петель для состояния Data0, Data1 или Null (рис. 3).

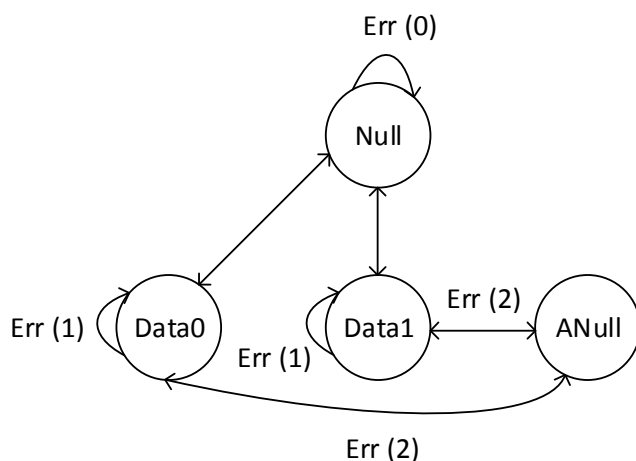


Рис. 3. Диаграмма работы самосинхронного устройства с отказами

Необходимо выяснить, относительно каких переходов самосинхронные схемы являются самопроверяемыми, а в каких случаях нет. Ранее уже было доказано, что возникновение петель будет обнаружено в одном из циклов работы [2]. Докажем возможность перехода устройства в состояние ANull из состояний Data и невозможность возникновения петель для этого состояния. Невозможность перехода Null-ANull очевидна, ведь для этого потребуется одномоментное переключение сразу двух разрядов. Для этой задачи используем функциональный метод анализа самосинхронных схем [11].

2. Анализ самосинхронных схем на наличие запрещенных состояний. В качестве задачи для анализа ставится нахождение наборов с нарушениями самосинхронности, возникающими вследствие внутренних отказов транзисторов или связей и описываемыми моделью константных неисправностей входов.

В самосинхронной схемотехнике используется одно из двух служебных состояний, называемое спейсером, второе состояние автоматически запрещается. Следовательно, мы можем использовать либо полностью нулевой спейсер, либо полностью единичный, но не оба сразу. Тогда для обнаружения возможных нарушений самосинхронности предлагается использовать анализ логических функций.

Пусть у нас имеются функция $F_1(a_1, a_2, a_3, a_n)$ и двойственная ей функция $F_2(b_1, b_2, b_3, b_n)$, такие, что в фазе гашения, когда $a_1 = a_2 = a_n = b_1 = b_2 = b_n$, то $F_1 = F_2$, а в рабочей фазе $a_1 = 1 - b_1, a_2 = 1 - b_2, a_n = 1 - b_n$

и $F_1 = 1 - F_2$. Тогда вследствие отказа возникает новая функция F' , отличающаяся от исходной наличием констант $F_1(0, a_2, 1, a_n)$.

Для того чтобы определить достижимость запрещенного состояния, необходимо вычислить инверсию дизъюнкции (конъюнкции) двойственной функции и функции, полученной в результате подстановки констант.

Рассмотрим анализ на самосинхронность схем с отказами на примере СС ФПТ-элемента.

$$F_1 = \overline{x_1 x_2} \vee \overline{x_3 x_4}; F_2 = \overline{x_5 x_6} \vee \overline{x_7 x_8};$$

$$x_1 = \overline{x_5}; x_2 = \overline{x_6}; x_3 = \overline{x_7}; x_4 = \overline{x_8};$$

$$1: x_1 = 0 \Rightarrow F_1' = \overline{x_2} \vee \overline{x_3 x_4};$$

$$\begin{aligned} S &= \overline{F_1'} \vee F_2 = \overline{\overline{x_2} \vee \overline{x_3 x_4}} \vee \overline{x_5 x_6} \vee \overline{x_7 x_8} = \overline{\overline{x_2} \vee \overline{x_3 x_4}} \vee (x_1 \vee x_2)(x_3 \vee x_4) = \\ &= \overline{\overline{x_2} \vee \overline{x_3 x_4}} \vee x_1 x_3 \vee x_2 x_3 \vee x_1 x_4 \vee x_2 x_4 = \overline{\overline{x_2} \vee \overline{x_3 x_4}} \vee x_1 x_3 \vee x_1 x_4 \vee x_3 \vee x_4 = \\ &= \overline{\overline{x_2} \vee \overline{x_3 x_4}} \vee x_3 \vee x_4 = 0. \end{aligned}$$

Вычислив то же самое для $x_1 = 1$, получим уравнение $S = \overline{x_1 x_2} (x_3 \vee x_4)$ истинное на трех наборах 1, 2, 3 и запрещенное на всех остальных. Это значит, что на этих наборах в рабочей фазе вследствие отказов (сбоев) будут возникать гонки сигналов, а также появится запрещенный полностью нулевой набор, который не фиксируется встроенными средствами контроля самосинхронных схем. Таким образом, опровергается 100%-ная самопроверяемость самосинхронных схем.

Когда мы находим инверсию дизъюнкции двойственных функций, то мы определяем, возможно ли попадание в запрещенное состояние (00) при спейсере на выходах (11), т.е. могут ли они одновременно равняться нулю. Если при соблюдении условия двойственности входов функции не могут принимать одновременно нулевые значения, то их дизъюнкция будет равна логическому нулю на всех возможных наборах, в противном же случае полученное уравнение укажет нам на наборы с ошибкой.

Когда мы находим инверсию конъюнкции двойственных функций, то мы определяем возможность попадания в запрещенное состояние (11) при спейсере на выходах (00), т.е. могут ли функции одновременно

равняться единице. Если при соблюдении условия двойственности входов функции не могут принимать одновременно единичные значения, то их дизъюнкция будет равна логическому нулю на всех возможных наборах, в противном же случае полученное уравнение укажет нам на наборы с ошибкой.

Такой тип анализа позволяет нам выявлять неисправности, которые могут потенциально нести угрозу самосинхронным схемам, если же их нет, то можно говорить о том, что все неисправности будут обнаружены.

Выводы. Математически доказано, что контроль завершения переходного процесса в строгосамосинхронных схемах не позволяет обнаружить все потенциально опасные неисправности. Предложена методика анализа, позволяющая быстро выявить, для каких неисправностей и при каких условиях самосинхронные схемы **не являются** самопроверяемыми, что может быть использовано при диагностике самосинхронных схем. Построение новых моделей и методов анализа отказоустойчивых самосинхронных схем имеет большое значение для развития всей самосинхронной схемотехники. В перспективе за счет усложнения индикаторной подсхемы самосинхронного устройства возможно достичь 100%-ной самопроверяемости. Для проектирования высоконадежных устройств самосинхронные схемы являются одним из самых перспективных решений [12] за счет таких своих свойств, как широкий диапазон работоспособности, самопроверяемость, слабая подверженность влиянию внешних воздействий на работу устройства.

Библиографический список

1. Muller D.E., Bartky W.S. A theory of asynchronous circuits I / University of Illinois, Graduate College, Digital Computer Laboratory, 1957.
2. Self-timed Control of Concurrent Processes / V.I. Varshavsky [et al]. – Boston, MA: Kluwer Academic Publishers, 1990. – № 11.
3. Fant K.M., Brandt S.A. NULL Convention Logic TM: a complete and consistent logic for asynchronous digital circuit synthesis // Application Specific Systems, Architectures and Processors. ASAP 96. Proceedings of International Conference on. – IEEE, 1996. – P. 261–273.
4. Самосинхронный вычислитель для высоконадежных применений / Ю.А. Степченков [и др.] // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС): сб. трудов / Ин-т проблем проектирования в микроэлектронике РАН. – М., 2010. – № 1.

5. Степченков Ю.А., Петрухин В.С., Дьяченко Ю.Г. Опыт разработки самосинхронного ядра микроконтроллера на базовом матричном кристалле // Нано- и микросистемная техника. – 2006. – № 5. – С. 29–36.

6. Самосинхронная схемотехника – перспективный путь реализации аппаратуры / И.А. Соколов [и др.] // Научные технологии. – 2007. – Т. 6. – № 5/6. – С. 61–72.

7. Kamenskih A.N., Tyurin S.F. Application of redundant basis elements to increase self-timed circuits reliability // Electrical and Electronic Engineering Conference (ElConRusNW), Proceedings of the 2014 IEEE North West Section Young Researchers in Electrical and Electronic Engineering Conference. – IEEE, 2014. – P. 47–50.

8. Каменских А.Н. Особенности синтеза самосинхронного микропрограммного устройства управления // Вестник Пермского национального исследовательского политехнического университета. Электротехника, информационные технологии, системы управления. – 2013. – № 8. – С. 41–47.

9. Каменских А.Н., Тюрин С.Ф. Анализ отказоустойчивой самосинхронной реализации двоичного сумматора // Вестник Пермского национального исследовательского университета. Электротехника, информационные технологии, системы управления. – 2014. – № 1(9). – С. 25–39.

10. Tyurin S.F. Retention of functional completeness of Boolean functions under "failures" of the arguments // Automation and Remote Control 60 (9 Part 2). – 1999. – P. 1360–1367.

11. Плеханов Л.П. Функциональный метод анализа самосинхронных схем любого размера // Проблемы разработки перспективных микро- и наноэлектронных систем – 2012: сб. трудов / под общ. ред. академика РАН А.Л. Стемпковского; ИППМ РАН. – М., 2012. – С. 107–112.

12. Kamenskih A.N., Tyurin S.F. Advanced approach to development of energy-aware and naturally reliable computing systems // Young Researchers in Electrical and Electronic Engineering Conference (ElConRusNW), 2015 IEEE NW Russia. – IEEE, 2015. – С. 75–77.

References

1. Muller D.E., Bartky W.S. A theory of asynchronous circuits I. University of Illinois, Graduate College, Digital Computer Laboratory, 1957.

2. Varshavsky V.I. [et al]. Self-timed Control of Concurrent Processes. Boston, MA: Kluwer Academic Publishers, 1990, no. 11.

3. Fant K.M., Brandt S.A. NULL Convention Logic TM: a complete and consistent logic for asynchronous digital circuit synthesis. *Application Specific Systems, Architectures and Processors. ASAP 96. Proceedings of International Conference on.* IEEE, 1996, pp. 261-273.

4. Stepchenkov Iu.A. [et al.] Samosinkhronnyi vychislitel' dlia vysokonadezhnykh primenenii [Self-timed calculator for high reliable applications]. *Sbornik trudov "Problemy razrabotki perspektivnykh mikro-i nanoelektronnykh sistem (MES)".* Zelenograd: Institut problem proektirovaniia v mikroelektronike Rossiiskoi akademii nauk. 2010, no. 1.

5. Stepchenkov Iu.A., Petrukhin V.S., D'iachenko Iu.G. Opyt razrabotki samosinkhronnogo iadra mikrokontrollera na bazovom matrichnom kristalle [Development experience of self-timed RISC-processor using uncommitted Logic Array]. *Nano-i mikrosistemnaia tekhnika*, 2006, no 5, pp. 29-36.

6. Sokolov I.A. [et al.] Samosinkhronnaia skhemotekhnika – perspektivnyi put' realizatsii apparatury [Self-timed approach – perspective way in digital device designing]. *Naukoemkie tekhnologii*, 2007, vol. 6, no. 5/6, pp. 61-72.

7. Kamenskih A.N., Tyurin S.F. Application of redundant basis elements to increase self-timed circuits reliability. *Electrical and Electronic Engineering Conference (ElConRusNW), Proceedings of the 2014 IEEE North West Section Young Researchers in Electrical and Electronic Engineering Conference.* IEEE, 2014. pp. 47-50.

8. Kamenskikh A.N. Osobennosti sinteza samosinkhronnogo mikroprogrammnoy ustroystva upravleniia [The features of self-timed control automata synthesis]. *Vestnik Permskogo natsional'nogo issledovatel'skogo politekhnicheskogo universiteta. Elektrotekhnika, informatsionnye tekhnologii, sistemy upravleniia*, 2013, no. 8, pp. 41-47.

9. Kamenskikh A.N., Tiurin S.F. Analiz otkazoustoichivoi samosinkhronnoi realizatsii dvoichnogo summatora [The analysis of fault-tolerant self-timed full-adder]. *Vestnik Permskogo natsional'nogo issledovatel'skogo politekhnicheskogo universiteta. Elektrotekhnika, informatsionnye tekhnologii, sistemy upravleniia*, 2014, no. 1(9), pp. 25-39.

10. Tyurin S.F. Retention of functional completeness of Boolean functions under "failures" of the arguments. *Automation and Remote Control 60 (9 Part 2)*, 1999, pp. 1360-1367.

11. Plekhanov L.P. Funktsional'nyi metod analiza samosinkhronnykh skhem liubogo razmera [Functional method to analyze any self-timed

circuits]. *Sbornik trudov "Problemy razrabotki perspektivnykh mikro-i nanoelektronnykh sistem"*. Eds. akademik Rossiiskoi akademii nauk A.L. Stempkovskii. Zelenograd: Institut problem proektirovaniia v mikro-elektronike Rossiiskoi akademii nauk, 2012, pp. 107-112.

12. Kamenskih A.N., Tyurin S.F. Advanced approach to development of energy-aware and naturally reliable computing systems. *Young Researchers in Electrical and Electronic Engineering Conference (EIconRusNW), 2015 IEEE NW Russia*. IEEE, 2015, pp. 75-77.

Сведения об авторе

Каменских Антон Николаевич (Пермь, Россия) – аспирант, ассистент кафедры автоматизации и телемеханики Пермского национального исследовательского политехнического университета (614990, г. Пермь, Комсомольский пр., 29, e-mail: kamenskikh.anton@gmail.com).

About the author

Kamenskih Anton Nikolaevich (Perm, Russian Federation) is a Graduate Student, Assistant Lecturer at the Department of Automation and Telemechanics Perm National Research Polytechnic University (614990, Perm, 29, Komsomolsky pr., e-mail: antoshkinoinfo@yandex.ru).

Получено 20.04.2016