

УДК 681.32

С.Ф. Тюрин, А.Н. КаменскихПермский национальный исследовательский политехнический университет,
Пермь, Россия**ФОРМАЛЬНАЯ СИСТЕМА ВЫВОДА РЕЗЕРВИРОВАННЫХ
КМДП-СТРУКТУР ОТКАЗОУСТОЙЧИВЫХ
САМОСИНХРОННЫХ СХЕМ**

Так называемые самосинхронные схемы – ССС, основы проектирования которых заложил Д. Маллер в конце 50-х гг. прошлого столетия, но которые не получили в то время широкого коммерческого использования, в последние годы востребованы как в энергоэффективных приложениях, так и в наноэлектронике, где уже начинают проявляться квантовые эффекты, приводящие к проблемам синхронизации. В настоящее время в Институте проблем информатики – ИПИ РАН (г. Москва) активно работает группа Ю.А. Степченкова, продолжающая исследования, начатые ещё в ССС группой В.И. Варшавского. Разработана обширная библиотека самосинхронных КМДП-элементов, ориентированная на базовые матричные кристаллы – БМК. В Великобритании, в университете НьюКасла работает в направлении ССС проф. А. Яковлев, работавший с В.И. Варшавским.

Одной из актуальных проблем в области ССС являются вопросы обеспечения отказоустойчивости. При этом основное внимание уделяется активной отказоустойчивости. Для обеспечения пассивной отказоустойчивости ССС можно было бы применить, например, так называемое троирование – три канала цифрового автомата, битовые выходы которых поступают на три входа мажоритарного элемента, реализующего мажоритарную функцию (выбора «два из трёх» ≥ 2). Но тогда нарушается основной принцип самосинхронности – полумодулярность, что фиксируют существующие средства анализа корректности ССС. Авторами предложено комбинированное резервирование на основе транзисторных структур, парирующих отказы части транзисторов, возникающие в результате воздействия радиации и других негативных факторов. Однако такое резервирование возможно не всегда в силу ограничений Мида и Конвей. В статье предлагается формальная система, обеспечивающая вывод резервированной КМДП ССС с учётом заданного ограничения на длину последовательной цепочки транзисторов.

Ключевые слова: самосинхронная схемотехника – ССС, КМДП-транзистор, транзисторная структура, резервирование, расчетверение, формальная система.

S.F. Tyurin, A.N. Kamenskih

Perm National Research Polytechnic University, Perm, Russian Federation

FORMAL SYSTEM FOR FAULT-TOLERANT CMOS SELF-TIMED CIRCUITS

Self-timed circuits -STC, which laid the foundations of designing D. Muller, in the late 50s of the last century, but have not received at the time of wide commercial use in recent years as the demand for energy efficiency and in Nano electronics that are already beginning to affect the quantum effects. The Institute of Informatics Problems - IPI RAS active group Y. Stepchenkova, continuing the work of the group V.I. Warsawski, developed an extensive library of self-timed elements oriented gate array – BMK.

In the UK, the University of Newcastle is working towards С Yakovlev, who worked with V.I. Warsawski in Leningrad, USSR. One of the current problems in the STC are the issues of fault tolerance. This focuses on the active failure resistance.

To provide passive fault-tolerance could be applied, for example, the so-called triple redundancy – three channels of digital machine, bit outputs are supplied to three inputs of the majority elements realizing the majority function (select "two out of three" ≥ 2). But then it violated the basic principle of STC that fix existing analysis tools correctness. The authors suggested a combined reservations based transistor structures, parrying failures of the transistors, resulting from exposure to radiation and other negative factors. However, this redundancy is not always possible due to limitations of Mead and Conway. The paper proposes a formal systems obtain fault-tolerant CMOS self-timed circuits

Keywords: Self-timed technology, transistor, redundancy, failure resistance, quadrupling, CMOS transistors, the formal system.

Введение. В настоящее время наиболее широко применяются синхронная схемотехника, период тактовой частоты, в которой превышает длительность переходных процессов в самом худшем случае. Асинхронные схемы избавлены от этого недостатка, но их проектирование требует тщательного учёта всех возможных вариантов состязаний или гонок сигналов, цепей и элементов памяти. Самосинхронные схемы (ССС) являются третьим схемотехническим вариантом и сами формируют сигналы завершения переходного процесса. СССР впервые предложены в работах Д. Маллера в конце 50-х гг. XX в. [1]. Элементная база тех лет не обеспечивала в полной мере реализацию принципов, сформулированных Маллером, хотя предположение о приведённых задержках соответствовало действительности. На фоне активного развития ИМС малой, средней и начинающей уже развиваться большой степени интеграции в СССР в Ленинграде сформировалась группа энтузиастов под руководством В.И. Варшавского [2, 3], активно работавших на поприще СССР до 90-х гг. В постсоветский период направление СССР продолжает развиваться благодаря трудам его бывших учеников и последователей, например А. Яковлева [4], работающего

теперь в университете Нью-Касла (Великобритания). В РФ активно работает научно-исследовательская группа специалистов Института проблем информатики РАН, возглавляемая Ю. Степченковым, разработавших и продолжающих совершенствовать библиотеку самосинхронных элементов [5]. Примеров коммерческого использования самосинхронной технологии немного, но они есть [6]. Развитие направления ССС, по оценкам специалистов, может внести вклад в создание отечественной электронной компонентной базы. Большие надежды в этом плане возлагаются на базовые матричные кристаллы [7–8]. В некоторых важных областях применения весьма востребованы надёжные, отказоустойчивые цифровые устройства, особенно радиационно-стойкие [9–11]. Вопросы надёжности самосинхронных схем по большей части рассматриваются в ракурсе активной отказоустойчивости [5]. Для аппаратуры, работающей на относительно небольшом временном участке, необходима пассивная отказоустойчивость [12–18]. Однако исследования в области пассивно-отказоустойчивых ССС освещены в литературе недостаточно. В статье предлагается формальная система для комбинированного резервирования ССС, обеспечивающего пассивную отказоустойчивость.

Обеспечение пассивной k-отказоустойчивости инвертора.

Пусть допустимое число транзисторов в последовательной цепочке $q = 4$ [19], число парируемых отказов $k = 1$, заданное максимальное число транзисторов в последовательной цепочке схемы $d \leq q/k + 1$. Возьмём $d=1$, т.е. инвертор для некоторой i -й переменной:

$$F_+ = \overline{X}_i; F_- = X_i, \quad (1)$$

где F_+ – подсхема подключения источника питания V_{cc} через транзистор p -проводимости \overline{X}_i , F_- – подсхема подключения шины «Ноль вольт» (Ground) через транзистор n -проводимости X_i . Схему (1) можно описать выражением-цепочкой:

$$(\overline{X}_i) * (X_i), \quad (2)$$

где $*$ – символ конкатенации верхней (подключения источника питания V_{cc}) и нижней (двойственной) частей схемы, точка подключения выходного контакта-выхода реализуемой логической функции F . Тогда получим правило k -толерантного инвертора [17–18]:

$$(\overline{X}_i) * (X_i) \Rightarrow [(\overline{x_{i.1} \overline{x_{i.2}} \vee \overline{x_{i.3} \overline{x_{i.4}}}) * (x_{i.1} x_{i.2} \vee x_{i.3} x_{i.4})], \quad (3)$$

где X – нетерминальные символы, x – терминальные символы для i -й переменной, отказ в любом из четырёх экземпляров которой в каждом из двух выражений не приведёт к отказу схемы. Эквивалентные с точки зрения отказоустойчивости выражения-правила:

$$(\bar{X}_i) * (X_i) \Rightarrow [(\bar{x}_{i.1} \vee \bar{x}_{i.2})(\bar{x}_{i.3} \vee \bar{x}_{i.4}) * (x_{i.1} \vee x_{i.2})(x_{i.3} \vee x_{i.4})], \quad (4)$$

$$(\bar{X}_i) * (X_i) \Rightarrow [(\bar{x}_{i.1} \bar{x}_{i.2})(\bar{x}_{i.3} \bar{x}_{i.4}) * (x_{i.1} \vee x_{i.2})(x_{i.3} \vee x_{i.4})], \quad (5)$$

$$(\bar{X}_i) * (X_i) \Rightarrow [(\bar{x}_{i.1} \vee \bar{x}_{i.2})(\bar{x}_{i.3} \vee \bar{x}_{i.4}) * (x_{i.1} x_{i.2})(x_{i.3} x_{i.4})]. \quad (6)$$

Получаем толерантный инвертор $k = 1$. Аналогично можно предложить правила для толерантного инвертора $k = 2$:

$$(\bar{X}_i) * (X_i) \Rightarrow [(\bar{x}_{i.1} \bar{x}_{i.2} \bar{x}_{i.3} \vee \bar{x}_{i.4} \bar{x}_{i.5} \bar{x}_{i.6} \vee \bar{x}_{i.7} \bar{x}_{i.8} \bar{x}_{i.9}) * (x_{i.1} x_{i.2} x_{i.3} \vee x_{i.4} x_{i.5} x_{i.6} \vee x_{i.7} x_{i.8} x_{i.9})] \quad (7)$$

или

$$(\bar{X}_i) * (X_i) \Rightarrow [(\bar{x}_{i.1} \vee \bar{x}_{i.2} \vee \bar{x}_{i.3})(\bar{x}_{i.4} \vee \bar{x}_{i.5} \vee \bar{x}_{i.6})(\bar{x}_{i.7} \vee \bar{x}_{i.8} \vee \bar{x}_{i.9}) * (x_{i.1} \vee x_{i.2} \vee x_{i.3})(x_{i.4} \vee x_{i.5} \vee x_{i.6})(x_{i.7} \vee x_{i.8} \vee x_{i.9})]. \quad (8)$$

Также возможны и другие варианты, сочетающие ДНФ и КНФ представление k -толерантной функции, которую обозначим $T(k)$. Толерантный инвертор для ДНФ при $k = 3$:

$$(\bar{X}_i) * (X_i) \Rightarrow [(\bar{x}_{i.1} \bar{x}_{i.2} \bar{x}_{i.3} \bar{x}_{i.4} \vee \bar{x}_{i.5} \bar{x}_{i.6} \bar{x}_{i.7} \bar{x}_{i.8} \vee \bar{x}_{i.9} \bar{x}_{i.10} \bar{x}_{i.11} \bar{x}_{i.12} \vee \bar{x}_{i.13} \bar{x}_{i.14} \bar{x}_{i.15} \bar{x}_{i.16}) * (x_{i.1} x_{i.2} x_{i.3} x_{i.4} \vee x_{i.5} x_{i.6} x_{i.7} x_{i.8} \vee x_{i.9} x_{i.10} x_{i.11} x_{i.12} \vee x_{i.13} x_{i.14} x_{i.15} x_{i.16})]. \quad (9)$$

Толерантный инвертор $k = 4$ при заданном условии $q = 4$ нереализуем, поскольку $4/4 + 1 < (d = 1)$. Таким образом, обобщая, получим правило 1:

$$(\bar{X}_i) * (X_i) \mathcal{P} \{ T(k) \bar{x}_i \} * \{ T(k) x_i \}; d(T(k)) \leq \left\lfloor \frac{q}{k+1} \right\rfloor. \quad (10)$$

Обеспечение пассивной k -отказоустойчивости на основе базисных элементов 2И-НЕ, 2ИЛИ-НЕ. Очевидно, что выражение (10) не обеспечивает при расчленении (термин классификатора изобретений) переменных функциональной полноты, требуемой для реализации любой логической функции от любого числа переменных. Поэтому получим выражения для $k = 1$ толерантного элемента 2И-НЕ по i -й и j -й переменным:

$$(\overline{X}_i \vee \overline{X}_j) * (X_i \wedge X_j) \Rightarrow [\{T(k)\overline{x}_i\} \vee \{T(k)\overline{x}_i\}] * [\{T(k)x_i\} \wedge \{T(k)x_i\}]. \quad (11)$$

Для $k = 1$ толерантного элемента 2ИЛИ-НЕ по i -й и j -й переменным:

$$(\overline{X}_i \wedge \overline{X}_j) * (X_i \vee X_j) \Rightarrow [\{T(k)\overline{x}_i\} \wedge \{T(k)\overline{x}_i\}] * [\{T(k)x_i\} \vee \{T(k)x_i\}]. \quad (12)$$

В дальнейшем конъюнкцию \wedge или точку, как правило, указывать не будем. Тогда путём суперпозиции S (11) и/или (12) известными методами (например, с использованием двойной инверсии) можно получить любую заданную толерантную логическую функцию G от некоторого заданного множества переменных M и дополнительных (промежуточных) переменных P :

$$G(M) \Rightarrow S\{(\overline{X}_i \vee \overline{X}_j) * (X_i \wedge X_j)\}, \quad (13)$$

$$G(M) \Rightarrow S\{(\overline{X}_i \wedge \overline{X}_j) * (X_i \vee X_j)\}; i, j \in M \cup P. \quad (14)$$

Выражения (13),(14) не учитывают возможность комбинирования базисов. Если указать аксиому, например, $(\overline{X}_i \vee \overline{X}_j) * (X_i \wedge X_j)$ или $(\overline{X}_i \wedge \overline{X}_j) * (X_i \vee X_j)$, то задача заключается в построении дерева реализации G путём правил суперпозиции S с последующим применением правил (11) (12) для корня и каждого узла дерева. Например, для заданной ДНФ:

$$\begin{aligned} & \{(X_1 \wedge X_g) \vee (X_k \wedge X_m)\} \Rightarrow \\ & \Rightarrow \overline{[(\overline{X}_1 \vee \overline{X}_g) * (X_1 \wedge X_g)] \vee [(\overline{X}_k \vee \overline{X}_m) * (X_k \wedge X_m)]} * \\ & * \{[(\overline{X}_k \vee \overline{X}_m) * (X_k \wedge X_m)] \wedge [(\overline{X}_1 \vee \overline{X}_g) * (X_1 \wedge X_g)]\}. \end{aligned} \quad (15)$$

Но общее отрицание не соответствует структуре формальной системы, поэтому сформируем правило:

$$\begin{aligned} & \{(X_1 \wedge X_g) \vee (X_k \wedge X_m)\} \Rightarrow [(\overline{X}_1 \vee \overline{X}_g)^i * (X_1 \wedge X_g)] \\ & \{[(\overline{X}_k \vee \overline{X}_m)^j * (X_k \wedge X_m)] [(\overline{X}_i \vee \overline{X}_j) * (X_i \wedge X_j)], \end{aligned} \quad (16)$$

где точки i, j позволяют получить структуру типа «дерево». Выражение (16) учитывает случаи $X = \emptyset, 1$. Поставим задачу получения необходимой отказоустойчивой суперпозиции S по уже заданной КМДП-схеме.

Обеспечение пассивной k-отказоустойчивости при

$d \leq \left\lfloor \frac{q}{k+1} \right\rfloor$. В библиотеке ССС элементов имеется мажоритарный элемент

(элемент, реализующий функцию бинарного переноса от A, B, C) с парафазным выходом при наличии парафазных входов A, NA, B, NB, C, NC переменных [5] (рис. 1).

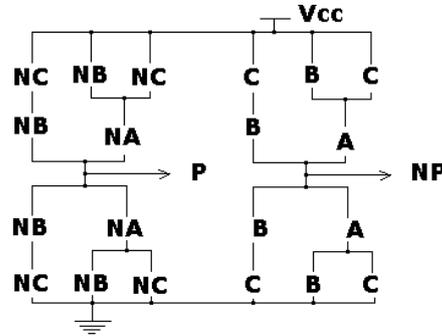


Рис. 1. Реализация функции бинарного переноса – мажоритарной функции

Элемент (см. рис. 1) реализует две функции:

$$P(A,B,C,NA,NB,NC) = (C \cdot B \vee (B \vee C) \cdot A) \cdot \{ (C \cdot B \vee (B \vee C) \cdot A) \}, \quad (17)$$

$$NP(A,B,C,NA,NB,NC) = \{ (NC \cdot NB \vee (NB \vee NC) \cdot NA) \} * \{ (NC \cdot NB \vee (NB \vee NC) \cdot NA) \}. \quad (18)$$

Здесь (17), (18) представляют собой скобочную форму СкоФ логической функции, и соответствующая КМДП-схема может быть обобщённо, описывая последовательно-параллельное соединение, представлена в виде

$$F = \left(\left(\dots \left(X_{i,j} \right) \dots \right) \right)_{\delta_1 \delta_2 \delta_i} * \left(\left(\dots \left(X_{i,j} \right) \dots \right) \right)_{\delta_i \delta_1 \delta_1 \delta_2 \delta_i \delta_i \delta_1}, \quad (19)$$

где δ_i – признак операции – конъюнкции (последовательное соединение) или двойственный признак $\bar{\delta}_i$ дизъюнкции (параллельное соединение), в частности, двойственная (правая) часть (19) может быть эквивалентна левой части для самодвойственной функции, каковой являются (17), (18).

Для применения k -резервирования в выражении (19) должно соблюдаться условие максимальной длины конъюнкций $d \leq \left\lfloor \frac{q}{k+1} \right\rfloor$.

В нашем случае при заданном условии $q = 4$ это так: $2 = \left\lfloor \frac{4}{1+1} \right\rfloor$. Тогда

получаем:

$$P(A, B, C, NA, NB, NC) = \{((NC \cdot NC \vee NC \cdot NC) \cdot (NB \cdot NB \vee NB \cdot NB) \vee ((NB \cdot NB \vee NB \cdot NB) \vee (NC \cdot NC \vee NC \cdot NC)) \cdot (NA \cdot NA \vee NA \cdot NA)) * ((NC \cdot NC \vee NC \cdot NC) \cdot (NB \cdot NB \vee NB \cdot NB) \vee ((NB \cdot NB \vee NB \cdot NB) \vee (NC \cdot NC \vee NC \cdot NC)) * (NA \cdot NA \vee NA \cdot NA)), \quad (20)$$

$$NP(A, B, C, NA, NB, NC) = ((C \cdot C \vee C \cdot C) \cdot (B \cdot B \vee B \cdot B) \vee ((B \cdot B \vee B \cdot B) \vee (C \cdot C \vee C \cdot C)) \cdot (A \cdot A \vee A \cdot A)) * ((C \cdot C \vee C \cdot C) \cdot (B \cdot B \vee B \cdot B) \vee ((B \cdot B \vee B \cdot B) \vee (C \cdot C \vee C \cdot C)) \cdot (A \cdot A \vee A \cdot A)). \quad (21)$$

На рис. 2 изображена схема для функции P.

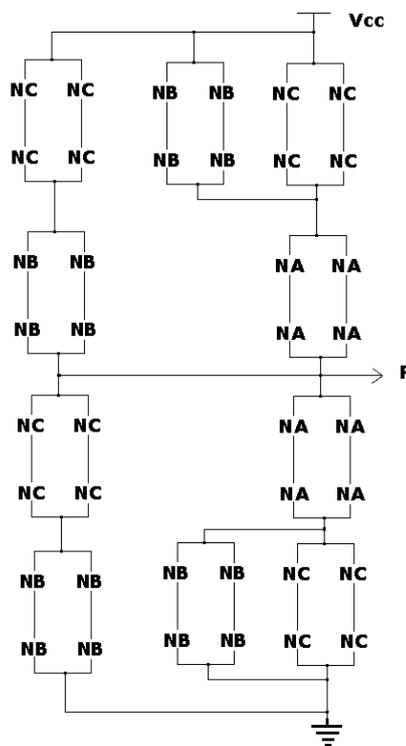


Рис. 2. Резервированная реализация функции бинарного переноса – мажоритарной функции P

Таким образом, при $d \leq \left\lfloor \frac{q}{k+1} \right\rfloor$ для каждой переменной (19) применяется терминальное правило (10).

Обеспечение пассивной k-отказоустойчивости при
 $d > \left\lfloor \frac{q}{k+1} \right\rfloor$. Рассмотрим пример. Задана функция:

$$QB = [(\overline{EB}) \vee (\overline{UB}) \vee (\overline{E0})] \overline{Q}. \quad (22)$$

Несмотря на то, что в (22) все конъюнкции длиной 2, но функция не самодвойственна, поэтому схема представляется в виде:

$$\{[(\overline{EB}) \vee (\overline{UB}) \vee (\overline{E0})] \overline{Q}\} * \{Q \vee (EB)(UB)(E0)\} \quad (23)$$

и в нижней части имеется последовательное соединение трёх транзисторов, что недопустимо для k-резервирования при $q = 4$. Предложим правило отделения $\left\lfloor \frac{q}{k+1} \right\rfloor$:

$$\begin{aligned} & \{[(\overline{EB}) \vee (\overline{UB}) \vee (\overline{E0})] \overline{Q}\} * \{Q \vee (EB)(UB)(E0)\} \Rightarrow \\ & \Rightarrow \{[(\overline{EB}) \vee (\overline{UB})] \overline{Q}\} * \{Q \vee (EB)(UB)\} \\ & \{(\overline{X})^Y * (X)\} \{[(Y \vee (\overline{E0}) \overline{Q})] * \{Y[Q \vee (E0)]\}\}. \end{aligned} \quad (24)$$

Символ * без верхнего обозначения – выход структуры, допускающей резервирование. В этом случае как бы происходит «отделение» одной допустимой ветви, например (рис. 4), $(\overline{E0}) \overline{Q}$. Аналогичные преобразования могут быть предложены для последовательного соединения трёх переменных:

$$\begin{aligned} & (\overline{X}_i \overline{X}_j \overline{X}_k) * (X_i \vee X_j \vee X_k) \Rightarrow \\ & \Rightarrow (\overline{X}_i \overline{X}_j)^X * (X_i \vee X_j) \{(\overline{X})^Y * (X)\} (\overline{Y} \overline{X}_k) * (Y \vee X_k). \end{aligned} \quad (25)$$

Для четырёх переменных:

$$\begin{aligned} & (\overline{X}_i \overline{X}_j \overline{X}_k \overline{X}_m) * (X_i \vee X_j \vee X_k \vee X_m) \Rightarrow (\overline{X}_i \overline{X}_j)^X * (X_i \vee X_j) \{(\overline{X})^Y * (X)\} \\ & (\overline{X}_k \overline{X}_m)^V * (X_k \vee X_m) (\overline{V})^Z * (\overline{Y} \overline{Z}) * (Y \vee Z). \end{aligned} \quad (26)$$

Правила отделения $\left\lfloor \frac{q}{k+1} \right\rfloor$ для параллельного соединения двойственных правилам последовательного соединения и выглядят следующим образом:

$$\begin{aligned} &(\bar{X}_i \vee \bar{X}_j \vee \bar{X}_k) * (X_i X_j X_k) \Rightarrow \\ &\Rightarrow (\bar{X}_i \vee \bar{X}_j)^X * (X_i X_j) \{ \bar{X}^Y * X \} (\bar{Y} \vee \bar{X}_k) * (Y X_k). \end{aligned} \quad (27)$$

$$\begin{aligned} &(\bar{X}_i \vee \bar{X}_j \vee \bar{X}_k \vee \bar{X}_m) * (X_i X_j X_k X_m) \Rightarrow (\bar{X}_i \vee \bar{X}_j)^X * (X_i X_j) \{ \bar{X}^Y * X \} \\ &(\bar{X}_k \vee \bar{X}_m)^V * (X_k X_m) (\bar{V}^Z * V) (\bar{Y} \vee \bar{Z}) * (Y Z). \end{aligned} \quad (28)$$

Самое сложное правило отделения $\left\lfloor \frac{q}{k+1} \right\rfloor$ для последовательно-параллельного соединения представляют собой композицию (25)–(28) и для ДНФ имеют вид:

$$\begin{aligned} &[(\bar{X}_{i,1} \bar{X}_{j,1} \bar{X}_{k,1}) \vee (\bar{X}_{i,2} \bar{X}_{j,2} \bar{X}_{k,2}) \vee (\bar{X}_{i,3} \bar{X}_{j,3} \bar{X}_{k,3})] * \\ &* (X_{i,1} \vee X_{j,1} \vee X_{k,1}) (X_{i,2} \vee X_{j,2} \vee X_{k,2}) (X_{i,3} \vee X_{j,3} \vee X_{k,3}) \Rightarrow \\ &(\bar{X}_{i,1} \bar{X}_{j,1})^{X_1} * (X_{i,1} \vee X_{j,1}) \\ &\{ \bar{X}_1^{Y_1} * X_1 \} \\ &(\bar{Y}_1 \vee \bar{X}_{k,1})^{X_{f,1}} * (Y_1 X_{k,1}) \\ &(\bar{X}_{i,2} \bar{X}_{j,2})^{X_2} * (X_{i,2} \vee X_{j,2}) \\ &\{ \bar{X}_2^{Y_2} * X_2 \} \\ &(\bar{Y}_2 \vee \bar{X}_{k,2})^{X_{f,2}} * (Y_2 X_{k,2}) \\ &(\bar{X}_{i,3} \bar{X}_{j,3})^{X_3} * (X_{i,3} \vee X_{j,3}) \\ &\{ \bar{X}_3^{Y_3} * X_3 \} \\ &(\bar{Y}_3 \vee \bar{X}_{k,3})^{X_{f,3}} * (Y_3 X_{k,3}) \\ &(\bar{X}_{f,1} \vee \bar{X}_{f,2})^X * (X_{f,1} X_{f,2}) \\ &(\bar{X}^Y * X) (\bar{Y} \vee \bar{X}_{f,3}) * (Y X_{f,3}). \end{aligned} \quad (29)$$

Обеспечение пассивной k-отказоустойчивости для ортогонально-мостиковых схем. В библиотеке ССС-элементов имеется полный сумматор (элемент, реализующий бинарную сумму от A, B, C) с парафазным выходом при наличии парафазных входов A, NA, B, NB, C, NC переменных [5] (рис. 3).

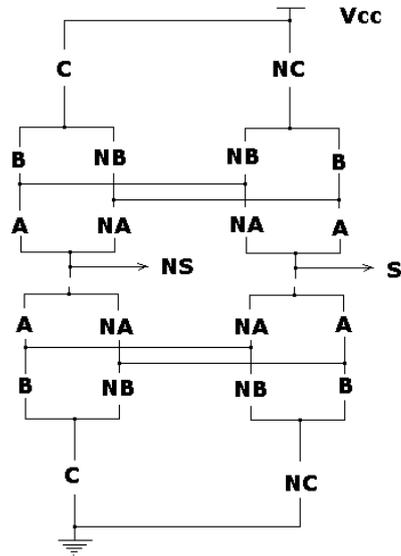


Рис. 3. Транзисторная реализация парафазного полного сумматора

Такая схема может быть описана выражением:

$$\begin{aligned}
 (NS,S)(A,B,C,NA,NB,NC) = & \\
 = \{ (C)(NB \overset{1}{\updownarrow} \cdot NA \vee B \overset{2}{\updownarrow} \cdot A) \}^{NS} * \{ (NB \overset{2}{\updownarrow} \cdot NA \vee B \overset{1}{\updownarrow} \cdot A)(C) \} \vee & \quad (30) \\
 \vee \{ (NC)(NB \overset{1}{\updownarrow} \cdot NA \vee B \overset{2}{\updownarrow} \cdot A) \}^S * \{ (NB \overset{2}{\updownarrow} \cdot NA \vee B \overset{1}{\updownarrow} \cdot A)(NC) \}, &
 \end{aligned}$$

где стрелки $\overset{i}{\updownarrow}$ обозначают «мостики».

Но такие «мостики» можно делать только для ортогональных конъюнкций. Всегда активизируется один путь, за исключением ситуации спейсера. Видим, что при резервировании транзисторов (см. рис. 3) получатся цепочки из 6 транзисторов подряд, что недопустимо [19]. Поэтому выполним декомпозицию с использованием суммы не более двух слагаемых (рис. 4).

Получим правило:

$$\begin{aligned}
 (S,NS)(A,B,F,NA,NB,NF) = & \{(B \cdot NA \vee NB \cdot A)^F * (B \cdot NA \vee NB \cdot A) \\
 & (B \cdot A \vee NB \cdot NA)^{NF} * (B \cdot A \vee NB \cdot NA)\} \\
 & \{(F \cdot NC \vee NF \cdot C)^S * (F \cdot NC \vee NF \cdot C) \\
 & (NF \cdot NC \vee F \cdot C)^{NS} * (NF \cdot NC \vee F \cdot C)\}.
 \end{aligned}
 \tag{31}$$

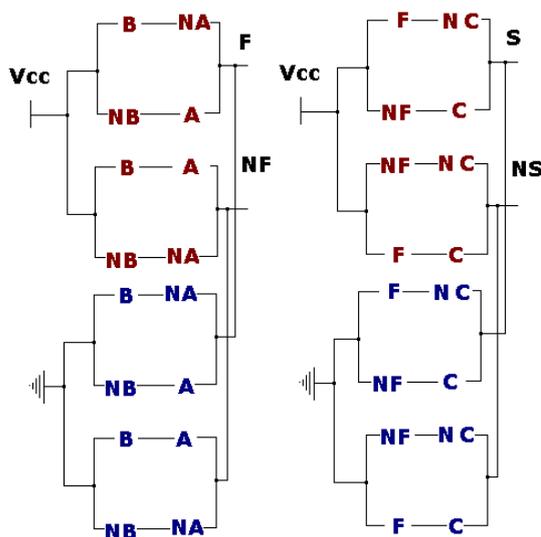


Рис. 4. Транзисторная реализация парафазной суммы не более двух слагаемых

Выводы. Таким образом, в случаях соблюдения ограничения Мида и Конвей выполняется непосредственное резервирование транзисторных структур основной и двойственной частей комбинационной ССС либо элементов памяти. В случае несоблюдения ограничения Мида и Конвей выполняется получение требуемой структуры с помощью предложенной формальной системы, но её результаты должны быть корректны с точки зрения полумодулярности [5], т.е. проходят проверку системой ТРАНАЛ (БТРАН) [5]. Иначе необходимо выполнить расчетверение элемента с использованием функционально-полного толерантного элемента (ФПТЭ) [17–18] на выходе полученной структуры. Необходимо учитывать тот факт, что ФПТЭ инвертирует сигнал. Обеспечение отказоустойчивости гистерезисных триггеров (Г-триггеров) выполняется путём каскадирования отказоустойчивых Г-триггеров.

геров на 2 входа. Предложенная формальная система позволяет проектировать пассивно отказоустойчивые ССС на основании схем существующих элементов с целью использования в высоконадёжных областях применения [11], в том числе в специальной аппаратуре.

Библиографический список

1. Muller D.E., Bartky W.S. A theory of asynchronous circuits // Proc. Int Symp. On the Theory of Switching. Part 1. – Harvard University Press, 1959. – P. 204–243.
2. Аперидические автоматы / под ред. В.И. Варшавского. – М.: Наука, 1976. – С. 304.
3. Искусственный интеллект: в 3 т. / В.И. Варшавский, В.Б. Мараховский, Л.Я. Розенблюм и А.В. Яковлев. Т. 3, § 4.3 Аперидическая схемотехника // Программные и аппаратные средства / под ред. В.Н. Захарова, В.Ф. Хорошевского. – М.: Радио и связь, 1990.
4. Yakovlev A. Energy-modulated computing // Design, Automation & Test in Europe Conference & Exhibition (DATE), 2011; IEEE, 2011. – С. 1–6.
5. Библиотека элементов для проектирования самосинхронных полужказных микросхем серий 5503/5507 и 5508/5509 / Ю.А. Степченков, А.Н. Денисов, Ю.Г. Дьяченко, Ф.И. Гринфельд, О.П. Филимоненко, Н.В. Морозов, Д.Ю. Степченков. – М.: Изд-во ИПИ РАН, 2008. – 296 с.
6. Delay-insensitive asynchronous ALU for cryogenic temperature environments / Hollosi B. [et al.] // Circuits and Systems, 2008. MWSCAS 2008. 51st Midwest Symposium on. – IEEE, 2008. – С. 322–325.
7. САПР «Ковчег 3.0» для проектирования микросхем на БМК серий 5503, 5507, 5521 и 5529 / С.В. Гаврилов, А.Н. Денисов, В.В. Коняхин, М.М. Макарецва. – М., 2013. – 295 с.
8. Библиотека функциональных ячеек для проектирования полужказных микросхем серий 5503 и 5507 / А.Н. Денисов, Ю.П. Фомин, В.В. Коняхин, Р.А. Федоров; под общ. ред. А.Н. Саурова. – М: Техносфера, 2012. – 304 с.
9. Designing Integrated Circuits to Withstand Space Radiation // Crosslink. – Vol. 4. – № 2 [Электронный ресурс]. – URL: <http://www.aero.org/publications/crosslink/summer2003/06.html> (дата обращения: 20.05.2015).
10. Юдинцев В. Радиационно-стойкие интегральные схемы. Надёжность в космосе и на земле [Электронный ресурс] // Электроника:

Наука, Технология, Бизнес. – 2007. – № 5. – С. 72–77. – URL: http://www.electronics.ru/files/article_pdf/0/article_592_363.pdf (дата обращения: 29.05.2015).

11. Чекмарёв С.А. Способ и система инъекции ошибок для тестирования сбоеустойчивых процессоров бортовых систем космических аппаратов [Электронный ресурс] // Вестник Сибир. гос. аэрокосм. ун-та им. акад. М.Ф. Решетнева. – 2014. – Вып. 4(56). – URL: <http://cyberleninka.ru/article/n/sposob-i-sistema-inektsii-oshibok-dlya-testirovaniya-sboeustoychevyh-protsessorov-bortovyh-sistem-kosmicheskikh-apparatov> (дата обращения: 16.12.2015).

12. ГОСТ Р 53480-2009. Надежность в технике. Термины и определения. ИЕС 60050 (191):1990-12 (NEQ). – М.: Стандартиформ, 2010.

13. ГОСТ 20911-89. Техническая диагностика. Термины и определения. – М.: Стандартиформ, 2010.

14. Stuck-at fault [Электронный ресурс]. – URL: http://en.wikipedia.org/wiki/Stuck-at_fault (дата обращения: 28.05.2015).

15. Отказоустойчивые вычислительные системы / В.А. Бородин [и др.]. – М.: Изд-во МО СССР, 1990. – С. 55.

16. Тюрин С.Ф., Каменских А.Н. Анализ отказоустойчивой самосинхронной реализации двоичного сумматора // Вестник Пермского национального исследовательского политехнического университета. Электротехника, информационные технологии, системы управления. – 2014. – № 1(9). – С. 25–39.

17. Kamenskih A.N., Tyurin S.F. Features that provide fault tolerance of self-synchronizing circuits // Russian Electrical Engineering. – 2015. – P. 672–682.

18. Tyurin S.F., Kamenskih A.N. Research into the reservation of logic function at transistor level // В мире научных открытий. – 2014. – № 10(58). – С. 232–247.

19. Дж.Д. Ульман. Вычислительные аспекты СБИС / пер. с англ. А.В. Неймана; под ред. П.П. Пархоменко. – М.: Радио и связь, 1990. – 480 с.

References

1. Muller D.E., Bartky W.S. A theory of asynchronous circuits. *Proceedings of an International Symposium on the Theory of Switching*, Part 1. Harvard University Press, 1959, pp. 204-243.

2. Varshavskii V.I. Aperiodicheskie avtomaty [Noncyclic machines]. Moscow: Nauka, 1976. 304 p.
3. Varshavskii V.I., Marakhovskii V.B., Rozenblium L.Ia., Iakovlev A.V. Aperiodicheskaia skhemotekhnika [Aperiodic circuit technique]. *Iskusstvennyi intellekt. Tom 3. Programmnye i apparatnye sredstva. Eds. Zakharov V.N., Khoroshevskii V.F.* Moscow: Radio i svjaz', 1990.
4. Yakovlev A. Energy-modulated computing. *Design, Automation & Test in Europe Conference & Exhibition (DATE)*, 2011. IEEE, 2011, pp. 1-6.
5. Stepchenkov Iu.A., Denisov A.N., D'iachenko Iu.G., Grinfel'd F.I., Filimonenko O.P., Morozov N.V., Stepchenkov D.Iu. Biblioteka elementov dlia proektirovaniia samosinkhronnykh poluzakaznykh mikroskhem serii 5503/5507 i 5508/5509 [The Library of the elements for the self-synchronous semi specialized micro schemes, series 5503/5507 and 5508/5509 design]. Moscow: Institut problem informatiki Rossiiskoi akademii nauk, 2008. 296 p.
6. Hollosi B. [et al.]. Delay-insensitive asynchronous ALU for cryogenic temperature environments. *Circuits and Systems*, 2008. MWSCAS 2008. 51st Midwest Symposium on. IEEE, 2008, pp. 322-325.
7. Gavrilov S.V., Denisov A.N., Koniakhin V.V., Makartseva M.M. Sistema avtomatizirovannogo proektirovaniia «Kovcheg3.0» dlia proektirovaniia mikroskhem na BMK ser. 5503, 5507, 5521 i 5529 [CAD «Kovcheg 3.0» for the microlaterologging micro schemes series 5503, 5507, 5521 and 5529 design]. Moscow, 2013. 295 p.
8. Denisov A.N., Fomin Iu.P., Koniakhin V.V., Fedorov R.A. Biblioteka funktsional'nykh iacheek dlia proektirovaniia poluzakaznykh mikroskhem serii 5503 i 5507 [The library of the functional cells for the microlaterologging micro schemes 5503 and 5507 series design]. Moscow: Tekhnosfera, 2012. 304 p.
9. Designing Integrated Circuits to Withstand Space Radiation. *Cross-link*, vol. 4, no. 2, available at: <http://www.aero.org/publications/crosslink/summer2003/06.html> (accessed 20 May 2015).
10. Iudintsev V. Radiatsionno-stoikie integral'nye skhemy. Nadezhnost' v kosmose i na zemle [Radiation-hardened integral schemes. Reliability in the space and on the earth]. *Elektronika: Nauka, Tekhnologiya, Biznes*, 2007, no. 5, pp. 72-77, available at: http://www.electronics.ru/files/article_pdf/0/article_592_363.pdf (accessed 29 May 2015).

11. Chekmarev S.A. Sposob i sistema in'ektsii oshibok dlia testirovaniia sboeustoichivvykh protsessorov bortovykh sistem kosmicheskikh apparatov [The Method and the system of the error injecting mapping for the stable processors of the spaceship onboard digital computers testing]. *Vestnik Sibirskogo gosudarstvennogo aerokosmicheskogo universiteta imeni akademika M.F. Reshetneva*, 2014, iss. 4(56), available at: <http://cyberleninka.ru/article/n/sposob-i-sistema-inektsii-oshibok-dlya-testirovaniya-sboeustoychevykh-protsessorov-bortovykh-sistem-kosmicheskikh-apparatov> (accessed 16 December 2015).

12. GOST R 53480-2009. Nadezhnost' v tekhnike. Terminy i opredeleniia. IEC 60050 (191):1990-12 (NEQ) [GOST P 53480-2009. Reliability in equipment. Terms and definitions]. Moscow: Standartinform, 2010.

13. GOST 20911-89. Tekhnicheskaiia diagnostika. Terminy i opredeleniia [GOST 20911-89. Technical diagnostics. Terms and definitions]. Moscow: Standartinform, 2010.

14. Stuck-at fault, available at: http://en.wikipedia.org/wiki/Stuck-at_fault (accessed 28 May 2015).

15. Borodin V.A. [et al.]. Otkazoustoichivye vychislitel'nye sistemy [Fault-tolerant computer systems]. Moscow: MO SSSR, 1990. P. 55.

16. Tiurin S.F., Kamenskikh A.N. Analiz otkazoustoichivoi samosinkhronnoi realizatsii dvoichnogo summatora [The analysis of the fault tolerant and self – synchronous realization of the binary adder]. *Vestnik Permskogo natsional'nogo issledovatel'skogo politekhnicheskogo universiteta. Elektrotekhnika, informatsionnye tekhnologii, sistemy upravleniia*, 2014, no. 1(9), pp. 25-39.

17. Kamenskikh A.N., Tyurin S.F. Features that provide fault tolerance of self-synchronizing circuits. *Russian Electrical Engineering*. 2015, pp. 672-682.

18. Tyurin S.F., Kamenskikh A.N. Research into the reservation of logic function at transistor level. *V mire nauchnykh otkrytii*, 2014, no. 10(58), pp. 232-247.

19. Ul'man Dzh. D. Vychislitel'nye aspekty SBIS [Computational Aspects of VLSI]. Moscow: Radio i sviaz', 1990. 480 p.

Сведения об авторе

Тюрин Сергей Феофентович (Пермь, Россия) – заслуженный изобретатель Российской Федерации, доктор технических наук, профессор кафедры автоматки и телемеханики Пермского национального исследовательского политехнического университета (614990, Пермь, Комсомольский пр., 29, e-mail: tyurinsergfeo@yandex.ru).

Каменских Антон Николаевич (Пермь, Россия) – аспирант, ассистент кафедры автоматки и телемеханики Пермского национального исследовательского политехнического университета (614990, г. Пермь, Комсомольский пр., 29, e-mail: kamenskikh.anton@gmail.com).

About the authors

Tyurin Sergey Feofentovich (Perm, Russian Federation) is a Honored Inventor of the Russian Federation, Doctor of Technical Sciences, Professor at the Department of Automation and Telemechanics Perm National Research Polytechnic University (614990, Perm, 29, Komsomolsky pr., e-mail: tyurinsergfeo@yandex.ru).

Kamenskih Anton Nikolaevich (Perm, Russian Federation) is a Graduate Student, Assistant Lecturer at the Department of Automation and Telemechanics Perm National Research Polytechnic University (614990, Perm, 29, Komsomolsky pr., e-mail: antoshkinoinfo@yandex.ru).

Получено 20.04.2016