

УДК 681.32

**С.Ф. Тюрин**

Пермский национальный исследовательский политехнический университет,  
Пермь, Россия

## **СТАТИЧЕСКАЯ ОПЕРАТИВНАЯ ПАМЯТЬ НА ОСНОВЕ ОТКАЗОУСТОЙЧИВОЙ ЯЧЕЙКИ БАЗОВОГО МАТРИЧНОГО КРИСТАЛЛА**

Большое значение для решения проблемы создания отечественной электронной компонентной базы имеет создание так называемых полузаказных цифровых интегральных микросхем на основе базовых матричных кристаллов – БМК. Известны БМК серий 5503, 5507, 5521, 5528, 5529, причем их основой являются так называемые ячейки.

Для радиационно-стойкой, надежной, отказоустойчивой электронной компонентной базы необходима избыточность – резервированные структуры. Применяют так называемое троирование – три канала цифрового автомата, битовые выходы которых поступают на три входа мажоритарного элемента, реализующего мажоритарную функцию или функцию голосования по большинству голосов (выбор «два из трех»  $\geq 2$ ). Такой мажоритарный элемент широко применяется для обеспечения пассивной отказоустойчивости цифровых устройств и систем. Известно, что резервирование с целью обеспечения пассивной отказоустойчивости обеспечивает выигрыш не на всем временном интервале для некоторого интервала вероятностей.

В качестве альтернативы ранее предложены транзисторные структуры, парирующие отказы (сбои) части транзисторов, возникающие в результате воздействия радиации и других негативных факторов.

Сначала они рассматривались в качестве так называемых функционально-полных толерантных (ФПТ) элементов (ФПТЭ), сохраняющих при отказах либо функциональную полноту (ФПТ в слабом смысле), либо реализуемую логическую функцию (ФПТ в сильном смысле). В дальнейшем подобное резервирование транзисторных структур (ТС) – ФПТТС в сильном смысле и ФПТТС авторы предложили использовать не только в КМОП (КМДП) элементах, но и в виде передающих транзисторов. В отличие от канального резервирования цифровой аппаратуры такое резервирование названо потранзисторным, что обеспечивает по сравнению с троированием значительный выигрыш в вероятности безотказной работы пассивно отказоустойчивой схемы практически для всего временного диапазона.

Однако детальное исследование по созданию избыточных ячеек БМК в достаточной мере не проводилось. Рассмотрено создание такой резервированной ячейки в различных вариантах, в том числе с резервированием связей. На основе разработанной отказоустойчивой ячейки строятся логические элементы и оцениваются по вероятности безотказной работы с троированием таких элементов. На этой основе предлагается отказоустойчивая ячейка памяти SRAM с учетверением транзисторов – QSRAM. Показывается предпочтительность такого технического решения по ряду показателей в сравнении с троированием – известным вариантом TMR (Triple Modular Redundancy).

**Ключевые слова:** транзистор, резервирование, базовый матричный кристалл, ячейка, логический элемент, вероятность безотказной работы, мажоритарный элемент ячейка памяти SRAM, SRAM с учетверением транзисторов – QSRAM, троирование – TMR (Triple Modular Redundancy).

**S.F. Tyurin**

Perm National Research Polytechnic University, Perm, Russian Federation

## **SRAM WITH A REDUDANCY CELL GATE ARRAY**

The problem of creation of the Russian electronic components currently in connection with certain events even more aggravated. Of great importance in this regard is the creation of so-called semicustom digital integrated circuits based on the gate array – GA. Standard cell GA is 4 cell transistor CMOS transistors. To create a radiation-resistant, reliable, fault-tolerant electronic components needed redundancy. Used triple redundancy with a majority vote by a majority vote (the choice  $\geq 2$ ). It is known that in order to ensure redundancy passive resiliency provides no gain at all time slot for a certain range of probabilities. As an alternative, the authors have previously proposed transistor structures, parrying the refusal of some transistors, resulting from exposure to radiation and other negative factors. First, they were considered as so-called functionally-complete tolerance (FCT) elements (FCTE) preserving the case of failure or functional completeness (FCT in the weak sense), or realized logic function (FCT in the strong sense). Subsequently, similar redundancy transistor structures (TC) – FCTTS in the strong sense FCTTS authors proposed the use not only in CMOS element but also as a transmission transistor. In contrast to the backup channels of digital equipment, such reservations may be termed redundant transistor. To parry a refusal must be 4 transistor and the so-called "quadrupling" at the transistor level. This redundancy in principle require and link redundancy, and comes up against a significant limitation in the number of transistors connected in series, as a rule, the default value is equal to four. However, there is information that modern technology is a lower limit to five or even six series-connected transistors. However, a detailed study on the creation of redundant cell GA not adequately performed. On the basis of the developed fault-tolerant cell gates are built and evaluated by the probability of failure-free operation with triple redundancy of such elements. It shows the benefits of transistor redundancy.

**Keywords:** Transistor, logic functions, gate array, redundancy, functional complete tolerant element, failure resistance, triple redundancy, quadrupling, redundant cell gate array.

**Введение.** Проблема создания отечественной элементной базы в последние годы еще более обострилась [1]. Важное значение для решения этой проблемы имеет инновационный комплекс Московского института электронной техники (МИЭТ) [2], в котором значительное внимание уделяется созданию так называемых полузаказных цифровых интегральных микросхем на основе базовых матричных кристаллов – БМК [3–6].

Используемая в БМК КМОП схемотехника имеет относительно невысокое быстродействие, задержки КМОП вентилях на порядок больше, чем для ЭСЛ. Вместе с тем достоинствами КМОП схемотехники являются малая потребляемая мощность и высокая помехоустойчивость [4]. Несмотря на значительное отставание в технологических нормах по сравнению с передовыми западными фирмами, наша электронная промышленность в целом пока позволяет создавать цифровую аппаратуру для специальных приложений, в том числе и такие процессоры, как «Эльбрус», «Комдив» и др. [7–9].

В настоящее время открытые источники сообщают о БМК серий 5503, 5507, 5521, 5528, 5529 [3]. Ячейка поля БМК представляет собой 4-транзисторную ячейку комплиментарных транзисторов [3] (рис. 1).

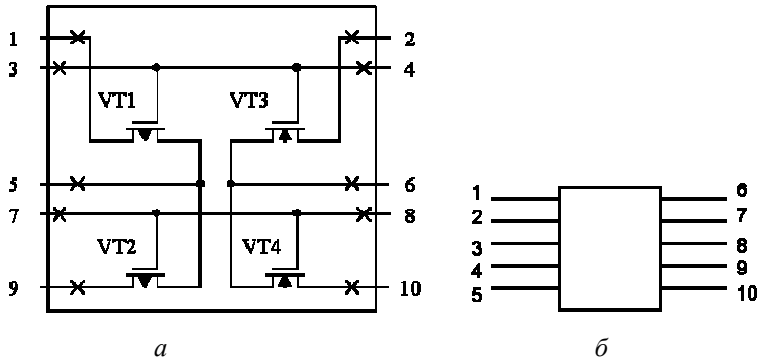


Рис. 1. Ячейка поля базового матричного кристалла – БМК: а – содержимое 4-транзисторной ячейки комплиментарных транзисторов; б – условное графическое обозначение ячейки

Шины питания и «Ноль вольт» подключены к подложкам транзисторов и не указаны на рис. 1, VT1, VT2 – типа *p*, VT3, VT4 – типа *n*. Из таких ячеек строятся логические элементы, например [7]. Более подробно архитектура ячейки поля БМК [3] изображена на рис. 2.

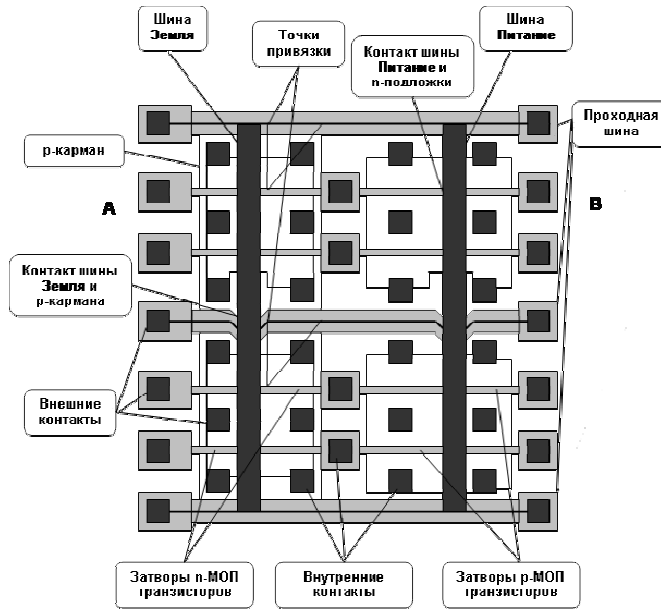


Рис. 2. Архитектура ячейки поля базового матричного кристалла БМК

Для создания радиационно-стойкой аппаратуры [10–11] ранее предложено расчетверение отдельных транзисторов логических элементов, что обеспечивает по сравнению с резервированием каналов цифровой аппаратуры значительный выигрыш в вероятности безотказной работы пассивно отказоустойчивой схемы практически для всего временного диапазона [12–15]. Однако детального исследования возможности создания таких избыточных ячеек в достаточной мере не проводилось. Рассмотрим создание такой резервированной ячейки на основе ячейки, изображенной на рис. 1, 2.

**1. Отказоустойчивая ячейка поля БМК.** Для этого пару ячеек (см. рис. 1) конфигурируем для реализации одного резервированного транзистора  $p$ -типа и одного резервированного транзистора  $n$ -типа. Получим ячейку (рис. 3).

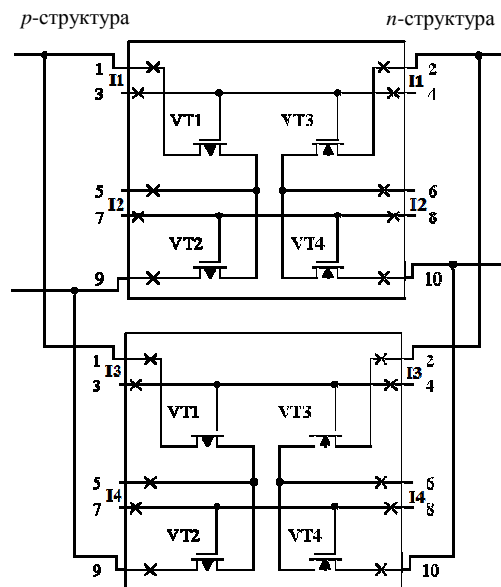


Рис. 3. Отказоустойчивая ячейка поля базового матричного кристалла БМК для реализации  $f_{1,2} = x_1 x_i \vee x_i x_1$  одного транзистора  $p$ -типа и одного транзистора  $n$ -типа

Такая ячейка сохраняет работоспособность при отказе одного любого транзистора  $p$ -типа и одного любого транзистора  $n$ -типа ценой четырехкратной избыточности.

Если реализовать функцию  $f_{1,1} = (x_1 \vee x_i)(x_1 \vee x_i)$ , т.е. переемычку по точкам 5, 6, то получим ячейку (рис. 4).

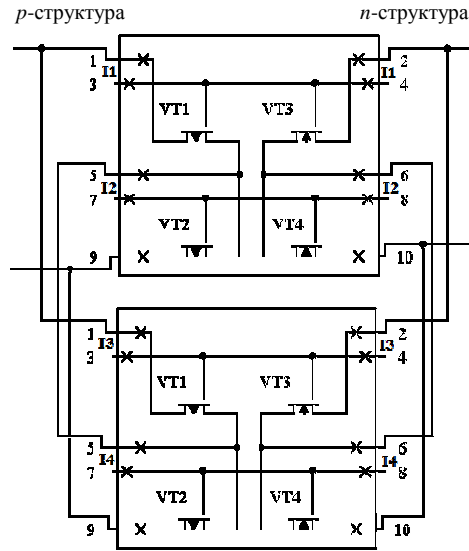


Рис. 4. Отказоустойчивая ячейка поля базового матричного кристалла БМК для реализации  $f_{1,1} = (x_i \vee x_i)(x_i \vee x_i)$  одного транзистора  $p$ -типа и одного транзистора  $n$ -типа с перемычкой по точкам 5, 6

При этом каждый транзистор управляется своим сигналом П1–П4 (3, 7), которые подаются с двух сторон ячейки, что требует расчетверения связей. Если объединить входы, получим ячейку (рис. 5).

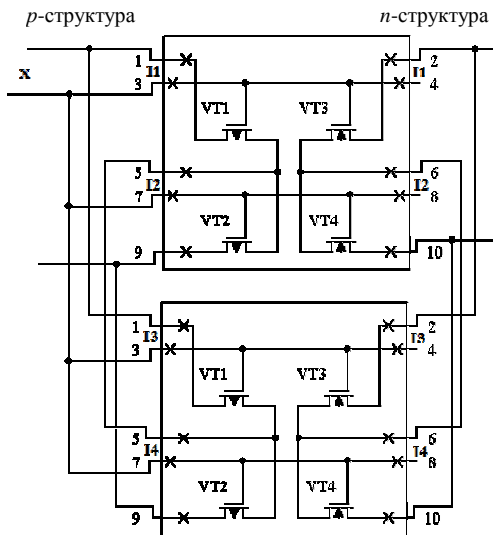


Рис. 5. Отказоустойчивая ячейка поля базового матричного кристалла БМК для реализации  $f_{1,1} = (x_i \vee x_i)(x_i \vee x_i)$  одного транзистора  $p$ -типа и одного транзистора  $n$ -типа с объединением входов X

Наконец, если вход X продублировать с другой стороны ячейки, получим ячейку (рис. 6).

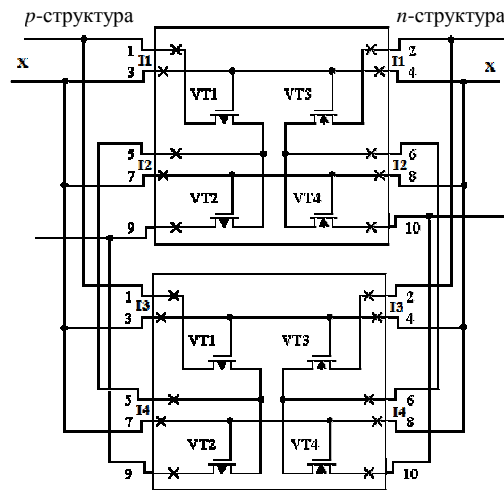


Рис. 6. Отказоустойчивая ячейка поля базового матричного кристалла БМК для реализации  $f_{1,1} = (x_i \vee x_i)(x_i \vee x_i)$  одного транзистора *p*-типа и одного транзистора *n*-типа с объединением входов и дублированием X

**2. Реализация логических элементов на основе отказоустойчивой ячейки поля БМК.** Построим отказоустойчивый инвертор [16–19], например, для отказоустойчивой ячейки оперативной памяти SRAM (рис. 7).

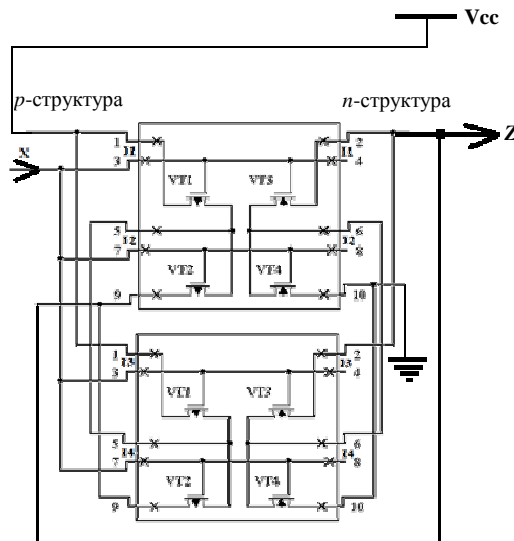


Рис. 7. Отказоустойчивый инвертор для ячейки оперативной памяти SRAM

Тогда ячейка оперативной памяти SRAM [17–19], состоящая из двух инверторов, будет выглядеть так, как показано на рис. 8.

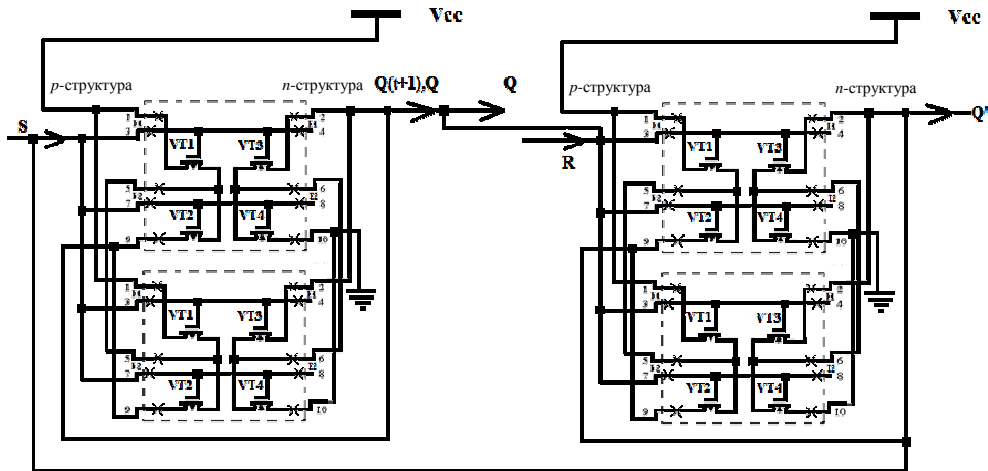


Рис. 8. Отказоустойчивая ячейка оперативной памяти SRAM-QSRAM

В перспективе целесообразно провести исследования с учетом особенностей топологии кристалла и интенсивности отказов связей.

### Выводы

Таким образом, на основе двух 4-транзисторных стандартных ячеек разработана отказоустойчивая ячейка поля БМК, которая представляет собой две резервированные структуры для реализации одного транзистора *p*-типа, и одного транзистора *n*-типа. В частности, линии управления затворами всех транзисторов могут быть объединены. Такие ячейки целесообразно использовать для проектирования высоконадежной аппаратуры на основе БМК. Анализ показывает существенно больший выигрыш в вероятности безотказной (бессбойной) работы по сравнению с троированием элементов на достаточно большом временном диапазоне, причем выигрыш тем больше, чем сложнее элемент. Предложенная ячейка статической оперативной памяти QSRAM с учетверением транзисторов на основе ячеек БМК парирует отказы типа SEU (Single Event Upset) и SEE (Single Event Effect). Сравнение показывает существенно больший выигрыш в вероятности безотказной работы по сравнению с троированием, причем затраты на троирование одной ячейки при одном мажоритаре больше.

В перспективе рекомендуется провести исследования с учетом особенностей топологии кристалла и интенсивности отказов связей.

Описанное резервирование наталкивается на ограничение в количестве последовательно соединенных транзисторов (не более четырех) [20], но уже имеются сообщения о его ослаблении [21].

### **Библиографический список**

1. Проблемы создания отечественной элементной компонентной базы [Электронный ресурс]. – URL: <http://www.electronics.ru/journal/article/295> (дата обращения: 27.06.2015).

2. Инновационный комплекс МИЭТ [Электронный ресурс]. – URL: <http://miet.ru/content/s/200> (дата обращения: 27.06.2015).

3. Базовые матричные кристаллы [Электронный ресурс]. – URL: [http://www.asic.ru/index.php?option=com\\_content&view=article&id=52&Itemid=92](http://www.asic.ru/index.php?option=com_content&view=article&id=52&Itemid=92) (дата обращения: 27.06.2015).

4. САПР «Ковчег 3.0» для проектирования микросхем на БМК серий 5503, 5507, 5521 и 5529 / С.В. Гаврилов, А.Н. Денисов, В.В. Коняхин, М.М. Макарецва. – М., 2013. – 295 с.

5. Библиотека функциональных ячеек для проектирования полузаказных микросхем серий 5503 и 5507 / А.Н. Денисов, Ю.П. Фомин, В.В. Коняхин, Р.А. Федоров: под общ. ред. А.Н. Саурова. – М.: Техносфера, 2012. – 304 с.

6. Библиотека элементов для проектирования самосинхронных полузаказных БМК микросхем серий 5503/5507 / Ю.А. Степченков, А.Н. Денисов, Ю.Г. Дьяченко, Ф.И. Гринфельд, О.П. Филимоненко, Н.В. Морозов, Д.Ю. Степченков. – М.: Изд-во ИПИ РАН, 2014. – 296 с.

7. МЦСТ. Микропроцессор нового поколения Эльбрус 2С+ [Электронный ресурс]. – URL: <http://www.mcst.ru/modul-comexpress> (дата обращения: 28.06.2015).

8. Бетелин В.Б. Суперкомпьютерные технологии эксафлопного класса – ключевой фактор развития русской инженерной школы в XXI веке [Электронный ресурс] / Нижегород. гос. ун-т им. Н.И. Лобачевского; 24 ноября 2012 г. – URL: <https://www.niisi.ru/nngu.pdf> (дата обращения: 09.03.2016).

9. ОАО КБ «Корунд-М» [Электронный ресурс]. – URL: <http://www.korund-m.ru/> (дата обращения: 28.06.2015).

10. Donald C. Mayer, Ronald C. Laco. Designing Integrated Circuits to Withstand Space Radiation [Электронный ресурс] // Crosslink. – Vol. 4, № 2. – URL: <http://www.aero.org/publications/crosslink/summer2003/06.html> (дата обращения: 20.05.2015).



11. Юдинцев В. Радиационно-стойкие интегральные схемы. Надежность в космосе и на земле [Электронный ресурс] // Электроника: Наука, Технология, Бизнес. – 2007. – № 5. – С. 72–77. – URL: [http://www.electronics.ru/files/article\\_pdf/0/article\\_592\\_363.pdf](http://www.electronics.ru/files/article_pdf/0/article_592_363.pdf) (дата обращения: 29.05.2015).
12. Tyurin S.F. Retention of functional completeness of Boolean functions under "failures" of the arguments // Automation and Remote Control 60 (9 PART 2). – 1999. – P. 1360–1367.
13. Tyurin S., Kharchenko V. Redundant Bases for Critical Systems and Infrastructures // General Approach and Variants of Implementation Proceedings of the 1st International Workshop on Critical Infrastructures Safety and Security; Kirovograd, Ukraine, 11–13 May 2011 / Kharchenko V., Tagarev V. (edits). – 2011. – Vol. 2. – P. 300–307.
14. Tyurin S.F., Grekov A.V., Gromov O.A. The principle of recovery logic FPGA for critical applications by adapting // World Applied Sciences Journal. – 2013. – № 26(3) – P. 328–332. DOI: 10.5829/idosi.wasj.2013.26.03.13474
15. Tyurin S.F., Gromov O.A. A residual basis search algorithm of fault-tolerant programmable logic integrated circuits // Russian Electrical Engineering. – 2013. – № 84(11). – P. 647–651. DOI: 10.3103/S1068371213110163
16. Тюрин С.Ф. Ячейка памяти QSRAM // Вестник Пермского университета. Сер.: Математика. Механика. Информатика. – 2015. – № 1(28). – С. 74–78.
17. Тюрин С.Ф. Моделирование радиационно-устойчивой ячейки памяти SRAM // Вестник Перм. ун-та. Сер.: Математика. Механика. Информатика. – 2015. – № 2(29). – С. 72–77.
18. Тюрин С.Ф. Отказоустойчивая ячейка памяти QSRAM // Проектирование и технология электронных средств. – 2014. – № 1. – С. 31–37.
19. Тюрин С.Ф. Анализ ячейки памяти SRAM как SR триггера И автомата Мура // Вестник Перм. ун-та. Сер.: Математика. Механика. Информатика. – 2014. – № 3(26). – С. 86–89.
20. Ульман Дж.Д. Вычислительные аспекты СБИС / пер. с англ. А.В. Неймана; под ред. П.П. Пархоменко. – М.: Радио и связь, 1990. – 480 с.
21. Глебов А.Л. SP-BDD-модель цифровых КМОП-схем и ее приложения в оптимизации и моделировании [Электронный ресурс]. – URL: <http://technomag.edu.ru/doc/49908.html> (дата обращения: 28.06.2015).

## References

1. Problemy sozdaniia otechestvennoi elementnoi komponentnoi bazy [Problems of creation of domestic element component base], available at: <http://www.electronics.ru/journal/article/295> (accessed 27 June 2015).

2. Innovatsionnyi kompleks Moskovskogo instituta elektronnoi tekhniki [Innovation Complex Moscow Institute of Electronic Technology], available at: <http://miet.ru/content/s/200> (accessed 27 June 2015).

3. Bazovye matrichnye kristally [Base matrix crystals], available at: [http://www.asic.ru/index.php?option=com\\_content&view=article&id=52&Itemid=92](http://www.asic.ru/index.php?option=com_content&view=article&id=52&Itemid=92) (accessed 27 June 2015).

4. Gavrilov S.V., Denisov A.N., Koniakhin V.V., Makartseva M.M. Sistema avtomatizirovannogo proektirovaniia "Kovcheg3.0" dlia proektirovaniia mikroskhem na BMK ser. 5503, 5507, 5521 i 5529 [Computer-aided design "Kovcheg3.0" for microcircuit design on the FPGA 5503, 5507, 5521 and 5529 series]. Moscow, 2013. 295 p.

5. Denisov A.N., Fomin Iu.P., Koniakhin V.V., Fedorov R.A. Biblioteka funktsional'nykh iacheek dlia proektirovaniia poluzakaznykh mikroskhem serii 5503 i 5507 [Functional cell library for semicustom microcircuit design series 5503 and 5507]. Moscow: Tekhnosfera, 2012. 304 p.

6. Stepchenkov Iu.A., Denisov A.N., D'iachenko Iu.G., Grinfel'd F.I., Filimonenko O.P., Morozov N.V., Stepchenkov D.Iu. Biblioteka elementov dlia proektirovaniia samosinkhronnykh poluzakaznykh BMK mikroskhem serii 5503/5507 [Element library for self-synchronous semicustom gate-array chip design series 5503/5507]. Moscow: Institut problem informatiki Rossiiskoi akademii nauk, 2014. 296 p.

7. MTsST. Mikroprotssor novogo pokoleniia El'brus 2S+ [MCST. A new generation microprocessor Elbrus 2C+], available at: <http://www.mcst.ru/modul-comexpress> (accessed 28 June 2015).

8. Betelin V.B. Superkomp'iuternye tekhnologii eksaflopnogo klassa – kliuchevoi faktor razvitiia russkoi inzhenernoi shkoly v XXI veke [Supercomputer exaflops class technologies – the overriding development factor of Russian engineering school in the twenty-first century]. Nizhegorodskii gosudarstvennyi universitet imeni N.I. Lobachevskogo, 24 November 2012, available at: <https://www.niisi.ru/nngu.pdf> (accessed 09 March 2016).

9. OAO KB "Korund-M" [OJSC KB "Korund-M"], available at: <http://www.korund-m.ru/> (accessed 28 June 2015).

10. Donald C. Mayer, Ronald C. Laco. Designing Integrated Circuits to Withstand Space Radiation, vol. 4, no. 2, Crosslink, available at: <http://www.aero.org/publications/crosslink/summer2003/06.html> (accessed 20 May 2015).

11. Iudintsev V. Radiatsionno-stoikie integral'nye skhemy. Nadezhnost' v kosmose i na zemle [Radiation-hardened integrated circuits. Reliability in space and on the earth]. *Elektronika: Nauka, Tekhnologiya, Biznes*, 2007, no. 5. pp. 72-77, available at: [http://www.electronics.ru/files/article\\_pdf/0/article\\_592\\_363.pdf](http://www.electronics.ru/files/article_pdf/0/article_592_363.pdf) (accessed 29 May 2015).

12. Tyurin S.F. Retention of functional completeness of Boolean functions under "failures" of the arguments. *Automation and Remote Control* 60 (9 Part 2), 1999, pp. 1360-1367.

13. Tyurin S., Kharchenko V. Redundant Bases for Critical Systems and Infrastructures. *General Approach and Variants of Implementation Proceedings of the 1st International Workshop on Critical Infrastructures Safety and Security*, 11–13 May 2011. Kirovograd, 2011, vol. 2, pp. 300-307.

14. Tyurin S.F., Grekov A.V., Gromov O.A. The principle of recovery logic FPGA for critical applications by adapting. *World Applied Sciences Journal*, 2013, no. 26(3), pp. 328-332. DOI: 10.5829/idosi.wasj.2013.26.03.13474

15. Tyurin S.F., Gromov O.A. A residual basis search algorithm of fault-tolerant programmable logic integrated circuits. *Russian Electrical Engineering*, 2013, no. 84(11), pp. 647-651. DOI: 10.3103/S1068371213110163

16. Tiurin S.F. Iacheika pamiati QSRAM [QSRAM memory cell]. *Vestnik Permskogo universiteta. Matematika. Mekhanika. Informatika*, 2015, no. 1(28), pp. 74-78.

17. Tiurin S.F. Modelirovanie radiatsionno-ustoichivoi iacheiki pamiati SRAM [Simulation of radiation-hardened SRAM memory cell]. *Vestnik Permskogo universiteta. Matematika. Mekhanika. Informatika*, 2015, no. 2(29), pp. 72-77.

18. Tiurin S.F. Otkazoustoichivaia iacheika pamiati QSRAM [Failover QSRAM memory cell]. *Proektirovanie i tekhnologiya elektronnykh sredstv*, 2014, no. 1, pp. 31-37.

19. Tiurin S.F. Analiz iacheiki pamiati SRAM kak SR triggera i avtomata Mura [Analysis of the SRAM memory cell as the SR flip-flop and Moore machine]. *Vestnik Permskogo universiteta. Matematika. Mekhanika. Informatika*, 2014, no. 3(26), pp. 86-89.

20. Ul'man Dzh.D. Vychislitel'nye aspekty SBIS [Computational Aspects of VLSI]. Moscow: Radio i sviaz', 1990. 480 p.

21. Glebov A.L. SP-BDD-model' tsifrovyykh КМОП-skhem i ee prilozheniia v optimizatsii i modelirovanii [Digital CMOS circuits SP-BDD-model and its applications in optimization and simulation], available at: <http://technomag.edu.ru/doc/49908.html> (accessed 28 June 2015).

### **Сведения об авторе**

**Тюрин Сергей Феофентович** (Пермь, Россия) – заслуженный изобретатель Российской Федерации, доктор технических наук, профессор кафедры автоматизации и телемеханики Пермского национального исследовательского политехнического университета (614990, Пермь, Комсомольский пр., 29, e-mail: [tyurinsergfeo@yandex.ru](mailto:tyurinsergfeo@yandex.ru)).

### **About the author**

**Tyurin Sergey Feofentovich** (Perm, Russian Federation) is a Honored Inventor of the Russian Federation, Doctor of Technical Sciences, Professor at the Department of Automation and Telemechanics Perm National Research Polytechnic University (614990, Perm, 29, Komsomolsky pr., e-mail: [tyurinsergfeo@yandex.ru](mailto:tyurinsergfeo@yandex.ru)).

Получено 20.02.2016