

УДК 681.32

С.Ф. Тюрин

Пермский национальный исследовательский политехнический университет,
Пермь, Россия

ДЕРЕВО ТРАНЗИСТОРОВ ДЛЯ РЕАЛИЗАЦИИ СИСТЕМ ЛОГИЧЕСКИХ ФУНКЦИЙ

Анализируется ранее предложенный логический элемент для реализации систем функций в ПЛИС типа FPGA (field-programmable gate array) на основе модифицированного дерева транзисторов – дешифратора – DC LUT (Look Up Table). Конфигурируемые логические блоки (КЛБ) FPGA содержат логические элементы (ЛЭ) и элементы памяти (триггеры). Задание требуемой схемы осуществляется загрузкой файла конфигурации в ПЛИС, который определяет функции ЛЭ и необходимые связи глобальной и локальных матриц межсоединений. Сам файл конфигурации, созданный с помощью системы автоматизированного проектирования, например, Quartus2 фирмы «Альтера», передается с помощью специального последовательного интерфейса в загрузочное ПЗУ, имеющееся на плате ПЛИС. Передача файла конфигурации в ПЛИС из ПЗУ в ячейки конфигурационной памяти SRAM производится при включении питания.

Логический элемент (ЛЭ) также имеет своей основой постоянное запоминающее устройство ПЗУ в виде дерева передающих транзисторов, называемое Logic Cell, а чаще – LUT – Look Up Table (просмотровая таблица – имеется в виду таблица истинности). Однако такой ЛЭ реализует только одну логическую функцию. Ранее предложено обратное дерево для реализации дешифратора DC, что позволяет реализовать с использованием дополнительных настраиваемых блоков ИЛИ, построенных также на передающих транзисторах, систему логических функций, что позволяет существенно сократить аппаратные затраты количества транзисторов при незначительном увеличении задержки.

Уточняется структура блоков дизъюнкций конститuent с учётом требования активирования только одного пути в схеме. Моделирование выполняется в системе схемотехнического моделирования NI Multisim 10 фирмы National Instruments Electronics Workbench Group и подтверждает работоспособность модифицированного технического решения.

Ключевые слова: логический элемент LUT ПЛИС FPGA, дерево транзисторов, логический элемент на основе дешифратора – DC LUT, реализация систем логических функций, система схемотехнического моделирования NI Multisim 10 фирмы National Instruments Electronics Workbench Group.

S.F. Tyurin

Perm National Research Polytechnic University, Perm, Russian Federation

TRANSISTOR TREE TO IMPLEMENT SYSTEMS OF LOGIC FUNCTIONS

The article describes the previously proposed gate for the realization of systems of functions in the FPGA (field-programmable gate array). Configurable logic blocks (KLB) FPGA contains logic elements (LE) and memory elements (flip-flop). The design of the required circuit is load the FPGA configuration file that defines the function of the LE and the necessary links global and local interconnect matrices. The configuration file is created using computer-aided design, for example, QuartusII Altera company, is transmitted via a special serial interface to the boot ROM are available on-board FPGA. Transferring the configuration file to the FPGA from the boot ROM SRAM memory cell configuration is produced at power.

The logic element (LE) has as its basis a read only memory ROM in a tree transmitting transistors, called Logic Cell, and more often – LUT – Look Up Table (LUT – I mean the truth table).

However, this LE implements only one logic function. Previously proposed inverse tree to implement the decoder DC, which allows for using additional blocks or custom built to also transmit transistors system logic functions that can significantly reduce the cost of hardware in an amount transistors, a slight increase in latency.

Clarifies block structure disjunctions constituents to meet the requirements to activate only one way in the scheme. The simulation DC LUT is executed in the system NI Multisim 10 by National Instruments Electronics Workbench Group. Simulation confirms the efficiency of the proposed scheme DC LUT with a new block of disjunctions.

Keywords: Transistor tree, LUT FPGA, systems of logic functions, DC LUT FPGA, block of disjunctions, National Instruments Electronics Workbench Group.

Логический элемент (ЛЭ) программируемых логических схем (ПЛИС) FPGA (*field-programmable gate array*) имеет своей основой постоянное запоминающее устройство ПЗУ, называемое Logic Cell, а чаще – LUT – Look Up Table (просмотровая таблица – имеется в виду таблица истинности). LUT выполнен на основе мультиплексора, который строится в виде дерева из элементарных мультиплексоров 2–1 на базе передающих МОП-транзисторов, входы данных которого настраиваются так называемыми конфигурируемыми ячейками статической памяти SRAM [1]. На рис. 1 представлен пример LUT на два информационных (адресных) входа.

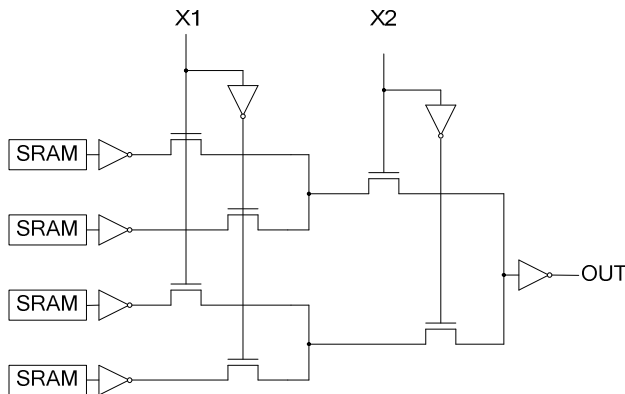


Рис. 1. LUT на два информационных (адресных) входа – дерево 4-1

Загружая в конфигурационную память SRAM значения таблицы истинности логической функции двух переменных, можно реализовать 16 функций двух переменных $F(X_2X_1)$.

Стандартное число входов (адресных входов ПЗУ), как правило, равно четырём, однако современные «продвинутые» ПЛИС имеют сложные, перестраиваемые LUT с числом входов 6,7, например [2–4]. Имеют-

ся сообщения о LUT с числом входов, равным 8. Тем не менее, всегда реализуется только одна из возможных логических функций, информации о LUT, реализующей системы функций, автором найдено не было.

2. Логический элемент DC – LUT. Как известно, в КМДП-транзисторах, используемых в LUT, при одинаковых топологических характеристиках стоки и истоки транзисторов фактически эквивалентны.

Транзисторная схема, «обратная» структуре LUT (см. рис. 1), может быть получена путём «разворота» LUT на 180 град (рис. 2) [5, 6].

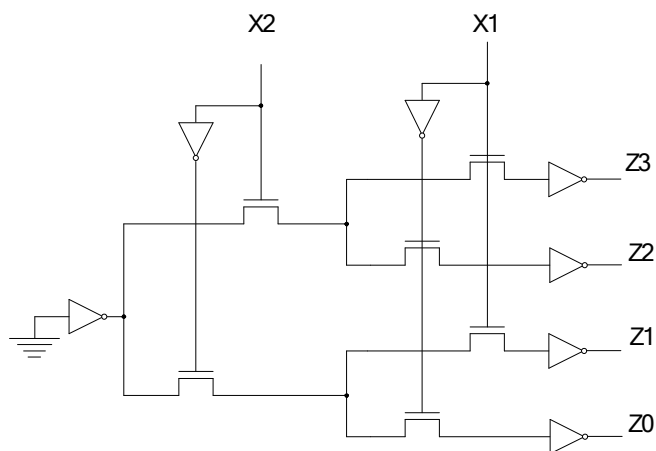


Рис. 2. Транзисторная схема – дешифратор DC – LUT 2, структура, «обратная» структуре рис. 1

При этом, в соответствии с правилами проектирования цепей из передающих транзисторов [7] необходимо для каждого выходного инвертора на рис. 2 создать альтернативную цепочку, гарантированно переводящую его выход, например в единицу. Для этого используется выражение, двойственное конъюнкции, описывающей соответствующую цепочку в обратном дереве (рис. 3).

Получаем дешифратор с выходными функциями z (без учёта альтернативных цепочек):

$$\bar{z}_i = \&x_j^{\sigma_j^{2^n}}, i = 0 \dots 2^n - 1, j = 1 \dots n.$$

Далее, m раз объединяя по ИЛИ соответствующие выходы из 2^n выходов, получим реализацию системы из m, n -разрядных логических функций на основе совершенных дизъюнктивных нормальных форм (СДНФ) [5, 6]. Для структуры, изображённой на рис. 2, могут программироваться связи выходов 0,1,2,3 с соответствующими элементами ИЛИ

с целью реализации систем логических функций. Такое программирование может быть реализовано аналогично программированию межсоединений (рис. 4) [1].

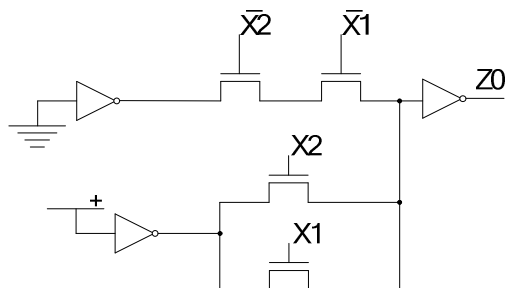


Рис. 3. Нулевой разряд DC LUT2 с альтернативной цепочкой

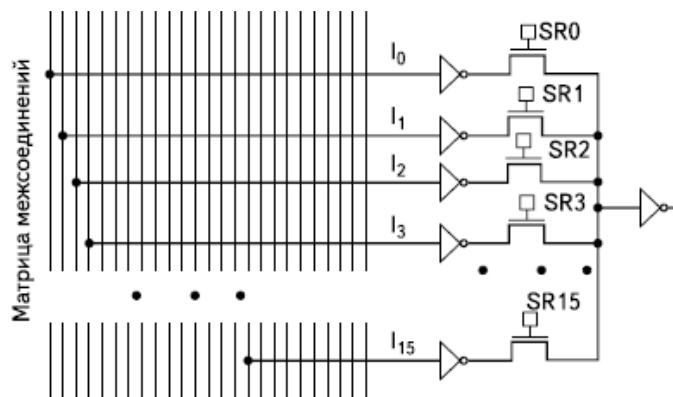


Рис. 4. Программируемые межсоединения с 16 направлений (SR0...15 конфигурационная память SRAM)

Таким образом, блоки дизъюнкций конститuent логической функции могут быть реализованы способом, изображённым на рис. 4.

3. Уточнение способа настройки блока дизъюнкций. Ранее предложенный блок дизъюнкций конститuent логической функции имел вид, изображённый на рис. 5.

Предполагалось, что настройка N на реализацию требуемой дизъюнкции конститuent, поступающих с модифицированного дерева транзисторов DC, осуществляется с помощью конфигурационной памяти [1, 8, 9], не изображённой на рис. 5. Однако такая реализация не удовлетворяет требованиям [7], так как могут активироваться одновременно более одного МОП-транзистора – настройка поступает на затворы, а на

истоки поступают сигналы с модифицированного дерева транзисторов DC. Поэтому необходимо изменить схему блока дизъюнкций, и она примет вид, изображённый на рис. 6.

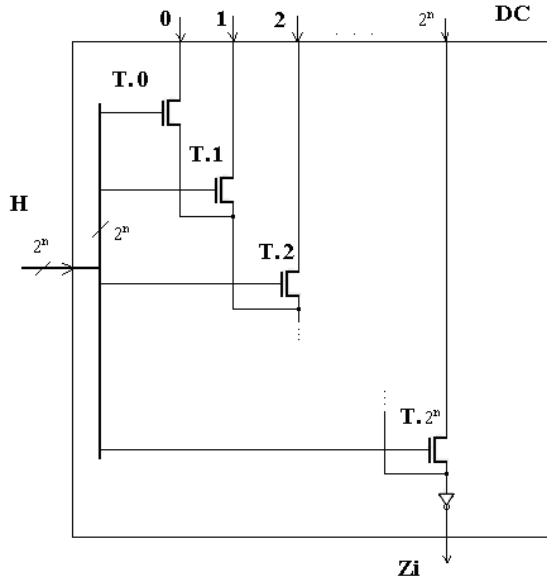


Рис. 5. Исходная реализация блока дизъюнкций конstituент логической функции

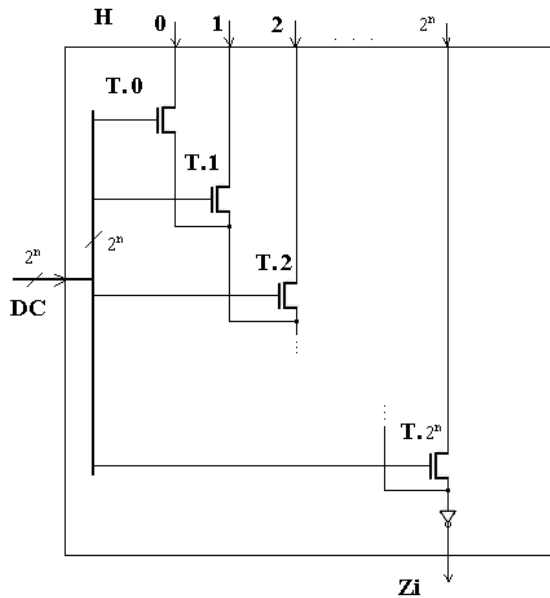


Рис. 6. Уточнённая схема блока дизъюнкций конstituент логической функции

В схеме (см. рис. 6) сигналами с модифицированного дерева транзисторов DC активируется всегда только один затвор одного МОП-транзистора.

4. Моделирование логического элемента для реализации систем логических функций с уточнённой схемой блока дизъюнкций конститuent логической функции. Выполним моделирование логического элемента для реализации систем логических функций с уточнённой схемой блока дизъюнкций конститuent логической функции для $n = 2$ (рис. 7) в системе схемотехнического моделирования NI Multisim 10 фирмы National Instruments Electronics Workbench Group.

На рис. 7 ключи X1, X2 моделируют переменные. Ключи S1–S4 моделируют настройку H.

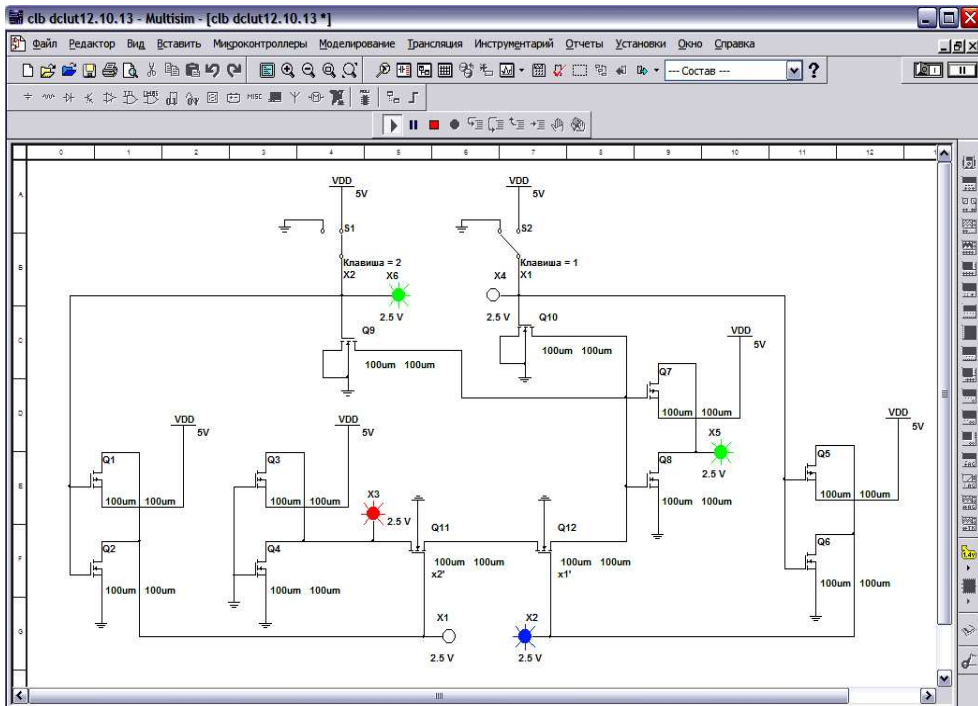


Рис. 7. Логический элемент для реализации систем логических функций с уточнённой схемой блока дизъюнкций конститuent логической функции для $n = 2$ с уточнённой схемой одного блока дизъюнкций конститuent логической функции

Управление затворами транзисторов блока дизъюнкций осуществляется инверторами, установленными на выходах «развёрнутого», по отношению к классическому LUT, дерева транзисторов. Причём альтернативные цепочки при неактивации путей в дереве обеспечивают

подачу логической единицы. На рис. 7 указана настройка на реализацию функции «Исключающее ИЛИ» – горит светодиод на выходе блока ИЛИ, так как переменные X1, X2 имеют различное значение.

Выполненное моделирование подтверждает работоспособность предлагаемого уточнённого технического решения блока дизъюнкций конституент DC–LUT, подана заявка на выдачу патента.

Выводы. Таким образом, модифицирована структура предложенного логического элемента дешифратора – DC LUT для реализации систем функций в ПЛИС типа FPGA, который основан на схеме в виде дерева передающих МОП-транзисторов. Уточняется структура блоков дизъюнкций конституент с учётом требования активирования только одного пути в схеме.

В изменённой схеме сигналы с модифицированного дерева транзисторов DC поступают на затворы МОП-транзистора блока дизъюнкций, а настроечная информация из конфигурационной памяти поступает на стоки этих транзисторов.

Выполненное моделирование в системе схемотехнического моделирования NI Multisim 10 фирмы National Instruments Electronics Workbench Group подтверждает работоспособность предлагаемого нового технического решения DC–LUT, на которое подана соответствующая заявка на выдачу патента.

Библиографический список

1. Цыбин С. Программируемая коммутация ПЛИС: взгляд изнутри [Электронный ресурс]. – URL: http://www.kit-e.ru/articles/plis/2010_11_56.php (дата обращения: 16.12.2014).
2. Самкова Е. Stratix IV против Virtex-5. Точка не поставлена [Электронный ресурс]. – URL: <http://www.russianelectronics.ru/leader/r/review/2189/doc/46576/> (дата обращения: 16.01.2015).
3. Aria II GX. Altera [Электронный ресурс]. – URL: <http://icgamma.ru/linecard/altera/arria2gx/> (дата обращения: 16.01.2015).
4. An Ultra-Low-Energy, Variation-Tolerant FPGA Architecture Using Component-Speci_c Mapping [Электронный ресурс]. – URL: <http://thesis.library.caltech.edu/7226/> (дата обращения: 11.11.2014).
5. Тюрин С.Ф. Логические элементы для реализации систем функций в ПЛИС FPGA // Проектирование и технология электронных средств. – 2013. – № 4. – С. 33–37.

6. Системная реализация логики в ПЛИС FPGA / С.Ф. Тюрин, А.Ю. Городилов, О.А. Громов, А.А. Сулейманов // Вестник Пермского университета. Сер. Математика. Механика. Информатика. – 2013. – № 4. – С. 85–90.

7. Ульман Дж. Д. Вычислительные аспекты СБИС / пер. с англ. А.В. Неймана; под ред. П.П. Пархоменко. – М.: Радио и связь, 1990. – 480 с.

8. Tyurin S.F., Grekov A.V., Gromov O.A. The principle of recovery logic FPGA for critical applications by adapting to failures of logic elements // World Applied Sciences Journal. – 2013. – Vol. 26(3). – P. 328–332. DOI: 10.5829/idosi.wasj.2013.26.03.13474

9. Tyurin S.F., Gromov O.A. A residual basis search algorithm of fault-tolerant programmable logic integrated circuits // Russian Electrical Engineering. – 2013. – 84 (11). – P. 647–651. DOI: 10.3103/S1068371213110163

References

1. Tsybin S. Programmiruemaia kommutatsiia PLIS: vzgliad iznutri [Software switching PLD: an outward glance], available at: http://www.kit-e.ru/articles/plis/2010_11_56.php (accessed 16 December 2014).

2. Samkova E. Stratix IV protiv Virtex-5. Tochka ne postavlena [IV versus Virtex-5. This is not the end], available at: <http://www.russian-electronics.ru/leader-r/review/2189/doc/46576/> (accessed 16 January 2015).

3. Aria II GX. Altera, available at: <http://icgamma.ru/linecard/altera/arria2gx/> (accessed 16 January 2015).

4. An Ultra-Low-Energy, Variation-Tolerant FPGA Architecture Using Component-Speci_c Mapping, available at: <http://thesis.library.caltech.edu/7226/> (accessed 11 November 2014).

5. Tiurin S.F. Logicheskie elementy dlia realizatsii sistem funktsii v PLIS FPGA [Logic elements for the function systems implementation in PLD FPGA]. *Proektirovanie i tekhnologiya elektronnykh sredstv*, 2013, no. 4, pp. 33-37.

6. Tiurin S.F., Gorodilov A.Iu., Gromov O.A., Suleimanov A.A. Sistemnaia realizatsiia logiki v PLIS FPGA [System provided implementation of logic in PLD FPGA]. *Vestnik Permskogo universiteta. Matematika. Mekhanika. Informatika*, 2013, no. 4, pp. 85-90.

7. Ul'man Dzh.D. Vychislitel'nye aspekty SBIS [Computational Aspects of VLSI]. Moscow: Radio i sviaz', 1990. 480 p.

8. Tyurin S.F., Grekov A.V., Gromov O.A. The principle of recovery logic FPGA for critical applications by adapting to failures of logic elements. *World Applied Sciences Journal*. 2013, vol. 26(3), pp. 328-332. DOI: 10.5829/idosi.wasj.2013.26.03.13474

9. Tyurin S.F., Gromov O.A. A residual basis search algorithm of fault-tolerant programmable logic integrated circuits. *Russian Electrical Engineering*, 2013, no. 84 (11), pp. 647-651. DOI: 10.3103/S1068371213110163

Сведения об авторе

Тюрин Сергей Феофентович (Пермь, Россия) – заслуженный изобретатель Российской Федерации, доктор технических наук, профессор кафедры автоматизации и телемеханики Пермского национального исследовательского политехнического университета (614990, Пермь, Комсомольский пр., 29, e-mail: tyurinsergfeo@yandex.ru).

About the author

Tyurin Sergey Feofentovich (Perm, Russian Federation) is Honored Inventor of the Russian Federation, Doctor of Technical Sciences, Professor at the Department of Automation and Telemechanics Perm National Research Polytechnic University (614990, Perm, 29, Komsomolsky pr., e-mail: tyurinsergfeo@yandex.ru).

Получено 15.04.2015