

УДК 681.3

С.Ф. Тюрин, А.Н. Каменских

Пермский национальный исследовательский политехнический университет,
Пермь, Россия

ПАРИРОВАНИЕ КРАТНЫХ ОТКАЗОВ ИЗБЫТОЧНЫМИ ТРАНЗИСТОРНЫМИ СТРУКТУРАМИ

Рассматривается метод повышения надежности цифровых устройств за счет применения элементов с избыточным базисом. Специфическая структура самосинхронных цифровых устройств приводит к тому, что традиционные методы обеспечения отказоустойчивости, такие как мажоритирование, не способны демонстрировать те же высокие показатели надежности при умеренной сложности. В то же время использование элементов с избыточными базисами позволяет в ряде случаев достигать высокой надежности проекта при меньших аппаратных затратах, чем в случае с мажоритированием. До этого не проводилось исследования, какие избыточные транзисторные структуры оптимальнее, то есть они считались равнозначными. Анализируются различные варианты реализации избыточных транзисторных структур для парирования кратных отказов (сбоев). Даются рекомендации по применению избыточных транзисторных структур для парирования однократных отказов (сбоев). Предлагается комплексный показатель, позволяющий сравнивать различные варианты отказоустойчивых схем.

Ключевые слова: самосинхронная схемотехника (СС), надежность, отказоустойчивость, избыточные базисы, функционально-полный толерантный элемент.

S.F. Tyurin, A.N. Kamenskih

Perm National Research Polytechnic University, Perm, Russian Federation

THE PROTECTION OF DIGITAL DEVICE FROM SIGNAL STUCK- AT FAULT USING REDUNDANT TRANSISTOR STRUCTURES

Application of redundant gates as approach to synthesis of high reliable digital device is considered. Specific structure of self-timed digital device result in fact that traditional synthesis method of fault-tolerant digital device, such as triplicating, can not show good results. At the same time application of redundant gates allows in some cases achieve high reliability of the design with lower complexity than it can be in triplicated style. Earlier researches that could answer the question «Which redundant structure is better?» wasn't carried out. In this research different redundant structures is analyzed. A recommendation which structure is better in different situation is given. Complex index is proposed it allow comparing different fault-tolerant circuits.

Keywords: Self-timed circuits (ST), reliability, fault-tolerance, redundant gates, functionally-full tolerant gate.

Совершенствование научно-методического аппарата повышения надежности цифровых устройств идет параллельно с развитием самой микроэлектроники. В настоящее время активно развивается самосинхронная схемотехника в основном за счет ее энергоэффективности, в то время как потенциал отказоустойчивости во многом не использован, в частности, еще не было представлено ни одного проекта по-настоящему отказоустойчивых устройств [1, 2]. В работах [3–6] предложен метод повышения надежности за счет использования избыточных элементов, толерантных к однократным константным отказам, что позволяет не только парировать однократные отказы, но и использовать возникающие вследствие отказов остаточные базисы для восстановления логики. В дальнейшем было предложено использовать не только избыточные элементы, но и избыточные транзисторные структуры там, где это требуется. По оценке [5] использование избыточных транзисторных структур в самосинхронных устройствах предпочтительнее троирования. В этой статье будут рассмотрены некоторые из этих функций с целью выявления наиболее эффективных.

1. Транзисторные структуры, парирующие однократные константные отказы

Для парирования однократных константных отказов используются функции учетверения:

$$(f_i \vee f_i)(f_i \vee f_i), \quad (1)$$

$$f_i f_i \vee f_i f_i. \quad (2)$$

Выполним сравнение избыточных транзисторных структур (рис. 1, а, б).

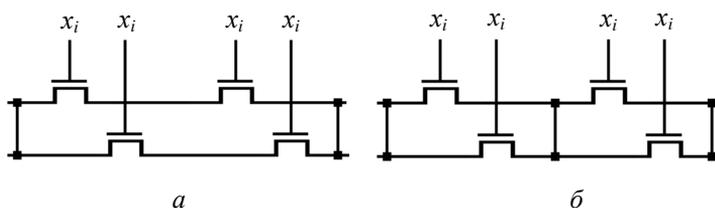


Рис. 1. Избыточные структуры типа: а – $f_{1,1} = (x_i \vee x_i)(x_i \vee x_i)$; б – $f_{1,2} = x_i x_i \vee x_i x_i$

Задача обеспечения пассивной отказоустойчивости может быть сформулирована как необходимость сохранения исходной функции при любом отказе (сбое), в нашем случае однократном. Проверим, выполняется ли это условие:

$$f_i f_i \vee f_i \cdot 1 = f_i, \quad (3)$$

$$(\overline{f_i} \vee f_i)(f_i \vee f_i) = f_i, \quad (4)$$

$$f_i f_i \vee f_i \cdot y = f_i, \quad (5)$$

$$(y_i \vee f_i)(f_i \vee f_i) = f_i. \quad (6)$$

Причем для первой более сложной структуры вероятность безотказной работы (ВБР) выше за счет парирования некоторых двойных отказов связью – перемычкой. Проведем расчеты вероятности безотказной работы и оценим это увеличение.

При парировании одного отказа получим

$$P(t)_{0,1\text{fct}} = [e^{-4\lambda t} + 4e^{-3\lambda t}(1 - e^{-\lambda t})]. \quad (7)$$

Вероятность возникновения одновременно двух отказов в обеих структурах – 6 случаев:

$$P(t)_{2\text{fct}} = 6e^{-2\lambda t}(1 - e^{-\lambda t})^2. \quad (8)$$

Обозначим транзисторы (рис. 2).

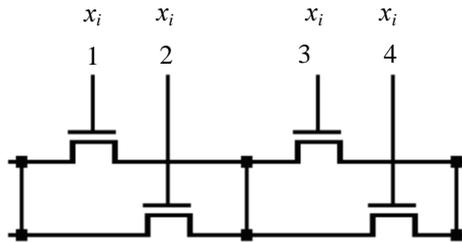


Рис. 2. Избыточная транзисторная структура $f_{1,1} = (x_i \vee x_i)(x_i \vee x_i)$

Получим таблицу двойных константных отказов (табл. 1). Но парлируемых отказов будет меньше (необходимо исключить обрывы в «одной линии») – два случая в обеих структурах. Поскольку можно считать, что это половина отказов (вторая половина – это константы 1), то

$$P(t)_{2,1\text{fct}} = \frac{2e^{-2\lambda t}(1 - e^{-\lambda t})^2}{2} = e^{-2\lambda t}(1 - e^{-\lambda t})^2 \quad (9)$$

+ «перекрестные» во второй – тоже два случая (табл. 2).

Таблица 1

Возможные варианты возникновения
двойных константных отказов

1	2	3	4
1	2	3	4
1	2	3	4
1	2	3	4
1	2	3	4
1	2	3	4

Таблица 2

Варианты возникновения
перекрестных отказов (сбоев)

1	2	3	4
1	2	3	4

Следует учесть, что в таблице не разделяются отказы константы единицы и константы нуля:

$$P(t)_{2,2\text{fct}} = 2e^{-2\lambda t} (1 - e^{-\lambda t})^2. \quad (10)$$

Из всего этого следует, что вероятность безотказной работы для первой и второй транзисторных структур будет равняться соответственно (рис. 3):

$$P1(t)_{0,1,2\text{fct}} = [e^{-4\lambda t} + 4e^{-3\lambda t} (1 - e^{-\lambda t})] + 3e^{-2\lambda t} (1 - e^{-\lambda t})^2. \quad (11)$$

$$P1(t)_{0,1,2\text{fct}} = [e^{-4\lambda t} + 4e^{-3\lambda t} (1 - e^{-\lambda t})] + e^{-2\lambda t} (1 - e^{-\lambda t})^2. \quad (12)$$

При этом следует также учитывать, что две инверсии не идут как в одной линии, так и «перекрестные». В дальнейшем планируется также оценить и отказы типа замыкания.

$$(\bar{f}_i \vee f_i)(\bar{f}_i \vee f_i) = \bar{f}_i \vee f_i = 1. \quad (13)$$

$$(\bar{f}_i \vee f_i)(f_i \vee \bar{f}_i) = \bar{f}_i \vee f_i = 1. \quad (14)$$

Конечно, если сравнивать структуры исключительно по показателю надежности, то первая окажется предпочтительнее, ведь она остается работоспособной при двух отказах в разных цепях. В то же время при разработке отказоустойчивых устройств необходимо обяза-

тельно учитывать показатель сложности, за который в нашем случае будет принято число контактов: в первой структуре 6, во второй 4. С учетом показателя сложности это отражено на рис. 4.



Рис. 3. Сравнение вероятности безотказной работы избыточных транзисторных структур, парирующих однократные отказы (сбои)



Рис. 4. Сравнение избыточных транзисторных структур, парирующих однократные отказы (сбои) по показателю ВБР/сложность

2. Варианты реализации транзисторных структур, парирующих более одного отказа (сбоя)

В этом подразделе рассмотрены структуры, которые гарантированно сохраняют исходную функцию при однократном отказе (сбое), в случае двух отказов такие структуры могут сохранить исходную функцию только с некоторой вероятностью. Однако если есть необходимость гарантировать сохранение исходной функции при более чем одном отказе, возможно построение соответствующих избыточных транзисторных структур. Конечно, в этом случае в полную силу заработают ограничения на проектирование КМОП-микросхем, в частности, нежелательно, чтобы количество последовательно соединенных транзисторов между цепью питания/общей шиной и выходом элемента превышало 4 [7]. Также не следует забывать, что увеличение последовательно соединенных транзисторов ведет к росту задержки, то есть к потере быстродействия (рис. 5, а, б):

$$\text{а) } f_{2,1} = (x_i \vee x_i \vee x_i)(x_i \vee x_i \vee x_i)(x_i \vee x_i \vee x_i), \quad (15)$$

$$\text{б) } f_{2,2} = x_i x_i x_i \vee x_i x_i x_i \vee x_i x_i x_i. \quad (16)$$

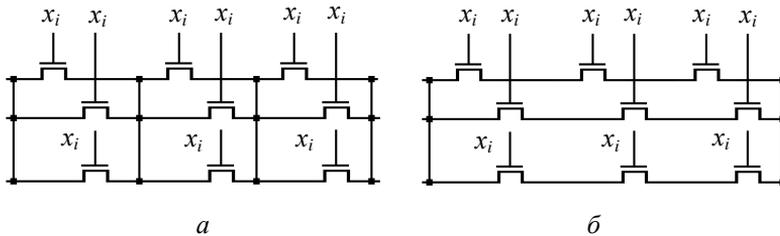


Рис. 5. Резервирование транзисторов по функции (а, б)

Заключение.

Таким образом, анализ показал, что в настоящих условиях развития микроэлектроники жизнеспособны только варианты парирования однократных отказов. При других вариантах неизбежны ограничения, накладываемые на проекты микроэлектронных устройств КМОП-технологии. Хотя уже сейчас современные технологии позволяют включать до 6–7 транзисторов последовательно, так что возможно в дальнейшем жизнеспособны будут варианты парирования и более чем с 2 отказами за счет использования транзисторных структур. Что же касается транзисторных структур, позволяющих парировать однократные константные отказы, то по показателю ВБР/сложность предпочтительнее выгля-

дит $f_{1,2} = x_i x_i \vee x_i x_i$, однако по чистому показателю ВБР выигрывает $f_{1,1} = (x_i \vee x_i)(x_i \vee x_i)$. В современных условиях необходимо учитывать не только показатели сложности и ВБР, но и энергопотребления. В дальнейшем предлагается с помощью средств моделирования оценить эти транзисторные структуры также и с точки зрения энергоэффективности и быстродействия, сформировав, таким образом, комплексный показатель. В целом же развитие методов обеспечения отказоустойчивости самосинхронных схем станет одним из ключевых шагов на пути внедрения самосинхронных решений в проекты микроэлектронных устройств для областей критических применений [8].

Библиографический список

1. Самосинхронный вычислитель для высоконадежных применений / Ю.А. Степченков [и др.] // Проблемы разработки перспективных микро- и наноэлектронных систем (МЭС): сб. тр. всерос. науч.-техн. конф. / Институт проблем проектирования в микроэлектронике РАН. – М., 2010. – № 1.
2. Библиотека самосинхронных элементов для технологии БМК / Ю.А. Степченков, Ю.Г. Дьяченко, Ф.И. Гринфельд, Н.В. Морозов, Л.П. Плеханов, А.Н. Денисов, О.П. Филимоненко, Ю.П. Фомин // Проблемы разработки перспективных микроэлектронных систем: сб. науч. тр. / под общ. ред. А.Л. Стемковского; ИППМ РАН. – М., 2006. – С. 259–264.
3. Tyurin, S.F. Retention of functional completeness of Boolean functions under «failures» of the arguments // Automation and Remote Control. – 1999. – 60 (9 PART 2). – P. 1360–1367.
4. Kamenskih, A.N., Tyurin, S.F. Application of redundant basis elements to increase self-timed circuits reliability // Proceedings of the 2014 IEEE North West Russia Young Researchers in Electrical and Electronic Engineering Conference. – ElConRusNW, 2014.
5. Тюрин С.Ф., Каменских А.Н. Самосинхронный функционально-полный толерантный элемент // Вестник Ижевского государственного технического университета. – 2014. – № 1. – С. 116–120.
6. Каменских А.Н., Тюрин С.Ф. Анализ отказоустойчивой самосинхронной реализации двоичного сумматора // Вестник Пермского национального исследовательского университета. Электротехника,

информационные технологии, системы управления. – 2014. – № 1(9). – С. 25–39.

7. Глебов А. Л. SP-BDD модель цифровых КМОП-схем и ее приложения в оптимизации и моделировании // Информационные технологии. – 1997. – № 10.

8. Donald C. Mayer, Ronald C. Laco. Designing Integrated Circuits to Withstand Space Radiation. – 2003. Vol. 4, № 2. Crosslink [Электронный ресурс]. – URL: <http://www.aero.org/publications/crosslink/summer2003/06.html> (дата обращения: 20.04.2014).

References

1. Stepchenkov Yu. A. [et al.]. Samosinkhronny vychislitel' dlya vysokonadezhnykh primeneniy [Self-timed calculator for high reliable applications]. *Sbornik trudov Vserossiyskoy nauchno-tehnicheskoy konferentsii "Problemy razrabotki perspektivnykh mikro-i nanoelektronnykh sistem (MES)"*. Institut problem proektirovaniya v mikroelektronike RAN, 2010, no. 1.

2. Stepchenkov Y.A. [et al.]. Biblioteka elementov dlya proektirovaniya samosinkhronnykh poluzakaznykh mikroskhem seriy 5503/5507 i 5508/5509 [Gates library for designing of self-timed ASIC circuits using series of uncommitted Logic Array 5503/5507 and 5508/5509]. Moscow, IPI RAN, 2012. 1348 p.

3. Tyurin S.F. Retention of functional completeness of Boolean functions under "failures" of the arguments. *Automation and Remote Control*, 1999, no. 60 (9 Part 2), pp. 1360-1367.

4. Kamenskikh A.N., Tyurin S.F. *Samosinkhronny funktsional'no-polnyy tolerantnyy element* [Self-timed functionally-complete tolerant gate]. *Vestnik Izhevskogo gosudarstvennogo tekhnicheskogo universiteta*, 2014, no. 1, pp. 116-119.

5. Tyurin S.F., Kamenskikh A.N. Analiz otkazoustoichivoi samosinkhronnoi realizatsii dvoichnogo summatora [The analysis of self-timed full-adder in terms of reliability]. *Vestnik Permskogo natsional'nogo issledovatel'skogo universiteta. Elektrotehnika, informatsionnye tekhnologii, sistemy upravleniia*, 2014, no. 1 (9), pp. 25-39.

6. Glebov A.L. SP-BDD model' tsifrovyykh KМОP-skhem i ee prilozheniya v optimizatsii i modelirovanii [Digital CMOS circuit SP-BDD

model and it's application in optimization and simulation]. *Informatsionnyye tekhnologii*, 1997, no. 10.

7. Mayer D.C., Laco R.C. Designing Integrated Circuits to Withstand Space Radiation. *Crosslink*, 2003, vol. 4, no. 2. URL: <http://www.aero.org/publications/crosslink/summer2003/06.html> (20.4.2014).

Сведения об авторах

Тюрин Сергей Феофентович (Пермь, Россия) – заслуженный изобретатель Российской Федерации, доктор технических наук, профессор кафедры автоматики и телемеханики Пермского национального исследовательского политехнического университета (614990, Пермь, Комсомольский пр., 29, e-mail: tyurinsergfeo@yandex.ru).

Каменских Антон Николаевич (Пермь, Россия) – ассистент кафедры автоматики и телемеханики Пермского национального исследовательского политехнического университета (614990, Пермь, Комсомольский пр., 29, e-mail: kmt@dom.raid.ru).

About the authors

Tyurin Sergey Feofentovich (Perm, Russian Federation) is Honored Inventor of the Russian Federation, Doctor of Technical Sciences, Professor at the Department of Automation and Telemechanics Perm National Research Polytechnic University (614990, Perm, 29, Komsomolsky pr., e-mail: tyurinsergfeo@yandex.ru).

Kamenskih Anton Nikolaevich (Perm, Russian Federation) is an Assistant Lecturer at the Department of Automation and Telemechanics Perm National Research Polytechnic University (614990, Perm, 29, Komsomolsky pr., e-mail: kmt@dom.raid.ru).

Получено 10.06.2014