

УДК 681.3

**С.Ф. Тюрин, А.Н. Каменских**

Пермский национальный исследовательский политехнический университет,  
г. Пермь, Россия

## **АНАЛИЗ ОТКАЗОУСТОЙЧИВОЙ САМОСИНХРОННОЙ РЕАЛИЗАЦИИ ДВОИЧНОГО СУММАТОРА**

Рассматривается и анализируется самосинхронная реализация двоичного сумматора на уровне КМДП-транзисторов, выполненная в Институте проблем информатики Российской академии наук (ИПИ РАН) и включенная в соответствующий справочник самосинхронных элементов, подготовленный исследовательской группой под руководством Ю.А. Степченкова. Производится сравнение с реализацией в избыточном базисе – функционально-полном толерантном базисе.

Показываются преимущества транзисторной реализации. Предлагается использование избыточного базиса на транзисторном уровне и оценивается отказоустойчивость предлагаемого сумматора.

**Ключевые слова:** самосинхронная реализация, двоичный сумматор, функция суммы – сложение по модулю два трёх переменных (исключающее ИЛИ), мажоритарная функция, КМДП-транзистор, отказоустойчивость, избыточный базис – функционально-полный толерантный базис – ФГТТ.

**S.F. Tyurin, A.N. Kamenskih**

Perm National Research Polytechnic University, Perm, Russian Federation

## **THE ANALYSIS OF SELF-TIMED FULL-ADDER IN TERMS OF FAULT-TOLERANCE**

Reviewed and analyzed the self-timed implementation of a binary adder at the level of CVR transistors made in the Institute of Informatics Problems of the Russian Academy of Sciences (IPI RAS). Compendium self-timed elements prepared by the research team led by Y. Stepchenkov.

The proposed variants are compared with the realization in the functionally complete tolerant element (FCT - logic element with the redundancy basis). Shows the advantages of transistor implementation of the proposed fault-tolerant implementation.

**Keywords:** self-timed, binary adder, XOR gate, CMOS transistor, fault-tolerant implementation, logic element with the redundancy basis- functionally complete tolerant (FCT) element.

**Введение.** Двоичный сумматор является неотъемлемой основой любого арифметического цифрового автомата (рис. 1, табл. 1) и реализует сумму  $S$  по модулю два (исключающее ИЛИ) двух бит  $A$ ,  $B$  и входного переноса  $C$ , а также выходной перенос  $P$  [1].

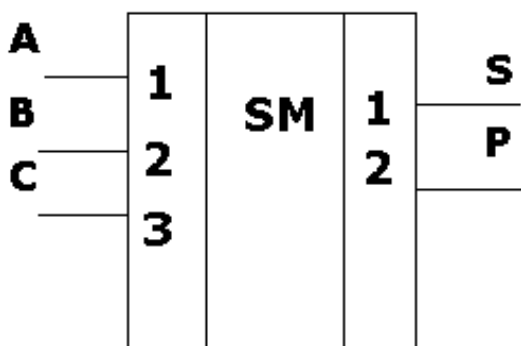


Рис. 1. Условное графическое обозначение двоичного сумматора

Таблица 1

Таблица истинности двоичного сумматора

			P(ABC)	not P(ABC)	S(ABC)	not S(ABC)
			0	1	0	1
			0	1	1	0
			0	1	1	0
			1	0	0	1
			0	1	1	0
			1	0	0	1
			1	0	0	1
			1	0	1	0

Рассмотрим и сравним некоторые реализации функций двоичного сумматора, ориентированные на отказоустойчивые решения.

**Реализация функции суммы S при наличии парафазных входов переменных в базисе логических элементов 2И-2ИЛИ-НЕ.** Рассмотрим функцию S(ABC). В соответствии с табл. 1. эта функция суммы (сложение по модулю два трёх переменных, исключаящее ИЛИ):

$$S = \overline{A}\overline{B}C \vee \overline{A}B\overline{C} \vee A\overline{B}\overline{C} \vee ABC \quad (1)$$

активируется при нечётном числе единиц (1,3), а её отрицание

$$\overline{S} = \overline{\overline{A}\overline{B}C \vee \overline{A}B\overline{C} \vee A\overline{B}\overline{C} \vee ABC} = \overline{A}\overline{B}C \vee \overline{A}B\overline{C} \vee A\overline{B}\overline{C} \vee \overline{A}\overline{B}\overline{C}. \quad (2)$$

активируется при чётном числе единиц (0,2).

Представим функцию  $S(ABC)$  системы в базисе [2, 3]  $(\bar{x}_1 \vee \bar{x}_2)(\bar{x}_3 \vee \bar{x}_4)$ :

$$\begin{aligned} S(ABC) &= (A \vee B \vee C)(A \vee \bar{B} \vee \bar{C})(\bar{A} \vee B \vee \bar{C})(\bar{A} \vee \bar{B} \vee C) = \\ &= [\overline{\overline{A \vee (B \vee C)(\bar{B} \vee \bar{C})}}][\overline{\overline{A \vee (B \vee \bar{C})(\bar{B} \vee C)}}] = \\ &= [\overline{\overline{A \vee (B \vee C)(\bar{B} \vee \bar{C})}}][\overline{\overline{A \vee (B \vee \bar{C})(\bar{B} \vee C)}}]. \end{aligned} \quad (3)$$

Таким образом, требуется 3 элемента с базисом  $(\bar{x}_1 \vee \bar{x}_2)(\bar{x}_3 \vee \bar{x}_4)$ , если есть парафазные входы «не А», «не В», «не С» (рис. 2).

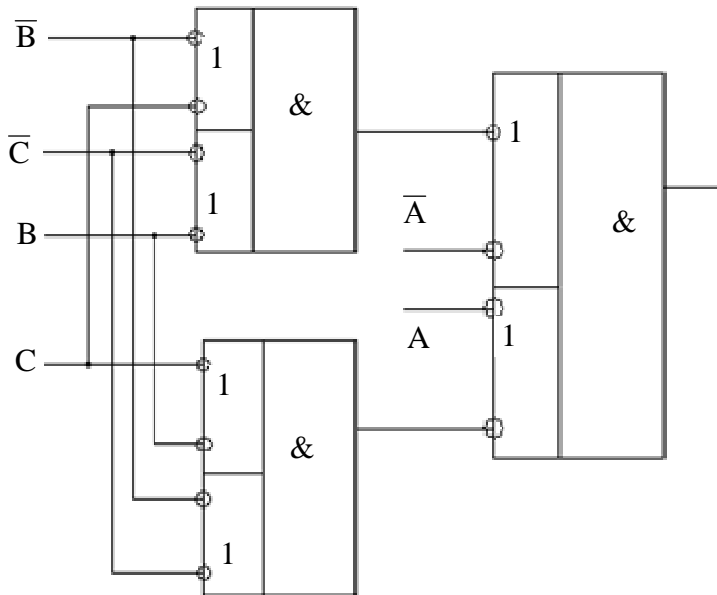


Рис. 2. Реализация функции  $S(ABC) = [\overline{\overline{A \vee (B \vee C)(\bar{B} \vee \bar{C})}}][\overline{\overline{A \vee (B \vee \bar{C})(\bar{B} \vee C)}}]$  тремя элементами с базисом  $(\bar{x}_1 \vee \bar{x}_2)(\bar{x}_3 \vee \bar{x}_4)$

Сам элемент с базисом  $(\bar{x}_1 \vee \bar{x}_2)(\bar{x}_3 \vee \bar{x}_4)$  2И-2ИЛИ-НЕ реализуется на 8 транзисторах (4 – типа «n», 4 типа «p») (рис. 3).

На транзисторах типа «n» (верхняя часть, см. рис. 3) реализуется функция подключения источника питания:

$$F_+ = (\bar{x}_1 \vee \bar{x}_2)(\bar{x}_3 \vee \bar{x}_4), \quad (4)$$

на транзисторах типа «*p*» реализуется двойственная функция подключения шины «Ноль вольт» (Ground):

$$F_{GROUND} = x_1 x_2 \vee x_3 x_4. \quad (5)$$

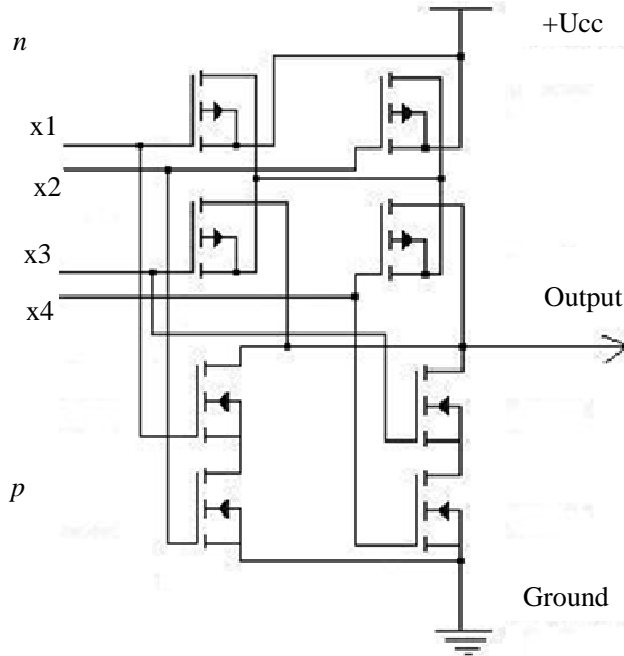


Рис. 3. КМДП реализация элемента с базисом  $(x_1 \vee x_2)(x_3 \vee x_4)$

Поэтому для реализации функции суммы

$$S = \overline{A}BC \vee A\overline{B}C \vee AB\overline{C} \vee ABC$$

необходимо 24 транзистора (12 типа «*n*» и 12 типа «*p*») без учёта инверсий переменных или 6 типовых ячеек базового матричного кристалла (БМК), содержащих по 2 транзистора типов «*n*» и «*p*» [1].

**Реализация функции переноса  $P(ABC)$  при наличии парафазных входов переменных в базисе логических элементов 2И-2ИЛИ-НЕ.** Реализация функции переноса  $P(ABC)$  может быть представлена выражением:

$$P(ABC) = AB \vee AC \vee BC = \overline{\overline{AB}} \vee \overline{\overline{AC}} \vee \overline{\overline{BC}}, \quad (6)$$

что может быть реализовано при наличии парафазных входов следующей схемой в базисе 2И-2ИЛИ-НЕ  $(\overline{x_1} \vee \overline{x_2})(\overline{x_3} \vee \overline{x_4})$  (рис. 4).

Таким образом, для реализации функции переноса требуется 16 транзисторов при условии наличия парафазных переменных или 4 типовых ячеек базового матричного кристалла (БМК), содержащих по 2 транзистора типов «n» и «p» [1].

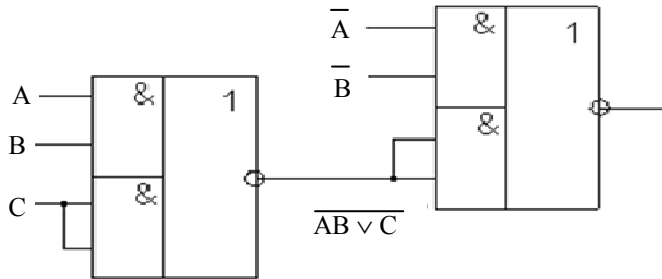


Рис. 4. Реализация функции  $P(ABC) = \overline{AB \vee \overline{AB} \vee C}$   
в базисе  $(\overline{x_1} \vee \overline{x_2})(\overline{x_3} \vee \overline{x_4})$

**Транзисторная реализация функции суммы S при наличии парафазных входов переменных.** Рассмотрим реализацию функции суммы S непосредственно в транзисторах, то есть реализацию сумматора одним элементом [4] или в базисе КМДП-транзисторов.

Пусть на входе такого элемента имеются как переменные A, B, C, так и их отрицания NA, NB, NC, то есть фактически 6 переменных вместо 3 (рис. 5).

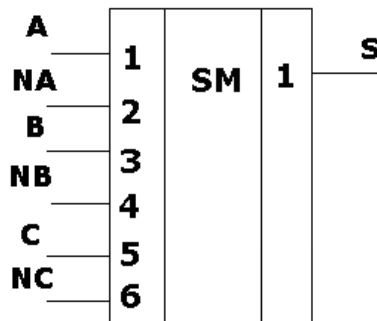


Рис. 5. Сумматор  $S(A, B, C, NA, NB, NC)$   
с парафазными входами

Тогда необходима реализация функции подключения источника питания по цепочкам транзисторов типа «n»:

$$\begin{aligned}
 S_+(A, B, C, NA, NB, NC) &= \\
 &= \overline{NA} \cdot \overline{NB} \cdot \overline{NC} \vee \overline{NA} \cdot \overline{B} \cdot \overline{C} \vee \overline{A} \cdot \overline{NB} \cdot \overline{C} \vee \overline{A} \cdot \overline{B} \cdot \overline{NC},
 \end{aligned}
 \tag{7}$$

или иначе

$$S_+(A, B, C) = ABC \vee \overline{A}\overline{B}C \vee \overline{A}B\overline{C} \vee A\overline{B}\overline{C}, \quad (8)$$

а реализация функции подключения шины «Ноль вольт» (Ground) по цепочкам транзисторов типа «p»:

$$\begin{aligned} S_{GROUND}(A, B, C, NA, NB, NC) = \\ = NA \cdot NB \cdot NC \vee NA \cdot B \cdot C \vee A \cdot NB \cdot C \vee A \cdot B \cdot NC, \end{aligned} \quad (9)$$

или иначе

$$S_{GROUND}(A, B, C) = \overline{A}\overline{B}C \vee \overline{A}B\overline{C} \vee A\overline{B}\overline{C} \vee ABC. \quad (10)$$

Поскольку транзисторы типа «n» управляются логическим нулём, а транзисторы типа «p» – логической единицей, то структура функций (8) и (9) одинакова, с тем отличием, что для активации (8) необходимо три последовательных нуля, а для (9) три единицы (рис. 6).

$$\begin{aligned} S(A, B, C, NA, NB, NC) = \\ = NA \cdot NB \cdot NC \vee NA \cdot B \cdot C \vee A \cdot NB \cdot C \vee A \cdot B \cdot NC. \end{aligned} \quad (11)$$

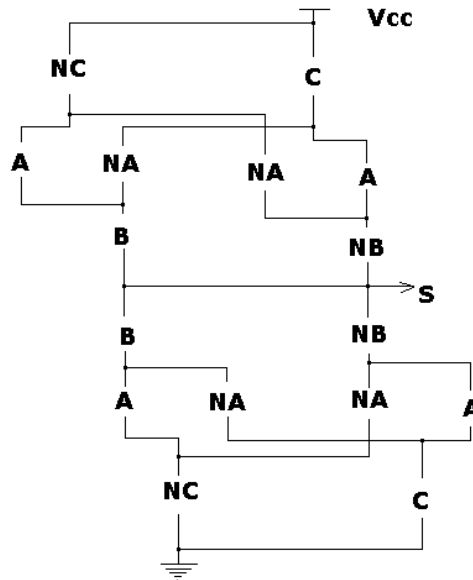


Рис. 6. Транзисторная реализация функции суммы

$$\begin{aligned} S(A, B, C, NA, NB, NC) = \\ = NA \cdot NB \cdot NC \vee NA \cdot B \cdot C \vee A \cdot NB \cdot C \vee A \cdot B \cdot NC \\ \text{с парафазными входами} \end{aligned}$$

Следовательно, все цепочки – ортогональны, а функция суммы – самодвойственна. Необходимо всего 16 транзисторов.

**Транзисторная реализация функции суммы S с парафазным выходом при наличии парафазных входов переменных.** Самосинхронные цифровые автоматы являются альтернативой синхронным и асинхронным решениям, позволяющей обеспечить не только повышение быстродействия (производительности) за счёт работы по реальным задержкам логических элементов, повышение надёжности, но и устойчиво работают на пониженном напряжении питания. Для реализации самосинхронных автоматов необходим парафазный сигнал суммы [1, 4]. Рассмотрим реализацию сумматора с парафазными входами переменных и с парафазным выходом суммы (рис. 7, 8).

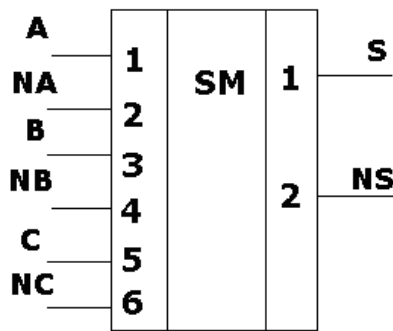


Рис. 7. Сумматор S(A,B,C,NA,NB,NC) с парафазным выходом

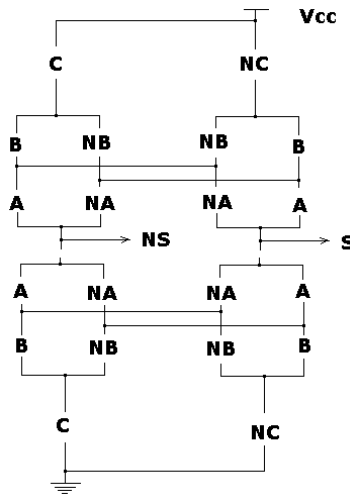


Рис. 8. Транзисторная реализация:  
 $S(A, B, C, NA, NB, NC) = NA \cdot NB \cdot NC \vee NA \cdot B \cdot C \vee A \cdot NB \cdot C \vee A \cdot B \cdot NC,$   
 $NS(A, B, C, NA, NB, NC) = NA \cdot NB \cdot C \vee NA \cdot B \cdot NC \vee A \cdot B \cdot C \vee A \cdot NB \cdot NC$   
 с парафазными входами и парафазной суммой

Выход NS активируется при чётном числе единиц (0,2):

$$\begin{aligned} NS_+(A, B, C, NA, NB, NC) = \\ = NA \cdot NB \cdot C \vee NA \cdot B \cdot NC \vee A \cdot B \cdot C \vee A \cdot NB \cdot NC, \end{aligned} \quad (12)$$

соответственно

$$\begin{aligned} NS_{GROUND}(A, B, C, NA, NB, NC) = \\ = NA \cdot NB \cdot C \vee NA \cdot B \cdot NC \vee A \cdot B \cdot C \vee A \cdot NB \cdot NC. \end{aligned} \quad (13)$$

Таким образом, получаем 10 букв вместо 24, все цепочки – ортогональны, при активации одной другие не задействованы.

**Транзисторная реализация мажоритарного элемента с парафазным выходом при наличии парафазных входов переменных.** Рассуждая аналогично, можно получить представление функции переноса  $P(ABC)$ :

$$P_+(A, B, C, NA, NB, NC) = NB \cdot NC \vee NA \cdot (NC \vee NB), \quad (14)$$

$$P_{GROUND}(A, B, C, NA, NB, NC) = NB \cdot NC \vee NA \cdot (NC \vee NB), \quad (15)$$

$$NP_+(A, B, C, NA, NB, NC) = B \cdot C \vee A \cdot (C \vee B), \quad (16)$$

$$NP_{GROUND}(A, B, C, NA, NB, NC) = B \cdot C \vee A \cdot (C \vee B). \quad (17)$$

Значит, функции подключения питания и шины «Ноль вольт» совпадают, но, конечно, реализуются разными типами транзисторов. Получаем реализацию (рис. 9).

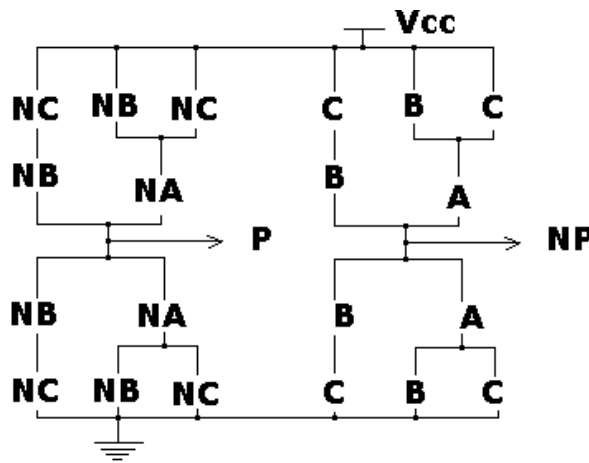


Рис. 9. Реализация функции переноса – мажоритарной функции  
 $P(A, B, C, NA, NB, NC) = NB \cdot NC \vee NA \cdot (NC \vee NB)$ ,  
 $NP(A, B, C, NA, NB, NC) = B \cdot C \vee A \cdot (C \vee B)$



Таким образом, необходимо всего 20 транзисторов на две мажоритарные схемы с парафазными входами.

**Отказоустойчивая реализация сумматора.** Таким образом, затраты на самосинхронный сумматор составляют 40 транзисторов – всего по 20 на каждую парафазную функцию. Слов нет, транзисторная реализация проще реализации в фиксированном одном базисе, каким бы он ни был сложным. Схемы получаются более быстродействующими. Однако такая реализация выполняется в базисе транзистров, точнее, транзисторных пар базовых матричных кристаллов (БМК) или в виде полностью заказной микросхемы (ASIC), что является дорогим удовольствием.

Да, уменьшение количества транзисторов приводит к уменьшению интенсивности отказов и увеличению вероятности безошибочной работы. Тем не менее для обеспечения отказоустойчивости необходима избыточность. Особенно актуальны отказоустойчивые решения в области разработки радиационно-стойкой цифровой аппаратуры.

При воздействии заряженных частиц на КМОП-транзисторы возможны скачки напряжения питания, которые приводят к сбоям переключений транзисторов – SET (Single Event Transient), защёлкиваниям (Latch\_up), повреждениям шин питания. Это может привести даже к разрушениям транзисторов [8]. При попадании тяжёлых заряженных частиц внутрь микросхемы могут возникать так называемые случайные воздействия – SEE (Single Event Effect), такие как, например, SEU (Single Event Upset) – сбой, изменяющие состояние логических элементов [8].

Предложим и оценим по аналогии с [5–7] один из вариантов введения избыточности с использованием функционально-полных толерантных базисов, ориентированных на транзисторную реализацию. Предлагается для обеспечения отказоустойчивости на транзисторном уровне использовать избыточные структуры (рис. 10, а, б):

$$a) f_{1,1} = (x_i \vee x_i)(x_i \vee x_i); \quad (18)$$

$$б) f_{1,2} = x_i x_i \vee x_i x_i. \quad (19)$$

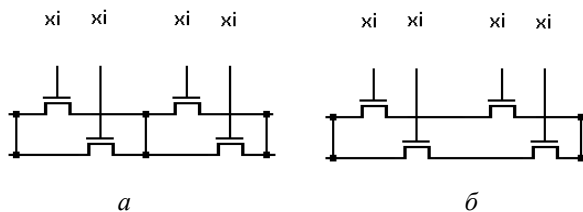


Рис. 10. Избыточные структуры

Структуры, изображённые на рис. 10, толерантны к одному отказу (сбою), что касается связей – их тоже можно и нужно резервировать. Для парирования отказов (сбоев) в двух транзисторах можно использовать схемы (рис. 11, а, б):

$$a) f_{2,1} = (x_i \vee x_i \vee x_i)(x_i \vee x_i \vee x_i)(x_i \vee x_i \vee x_i), \quad (20)$$

$$б) f_{2,2} = x_i x_i x_i \vee x_i x_i x_i \vee x_i x_i x_i. \quad (21)$$

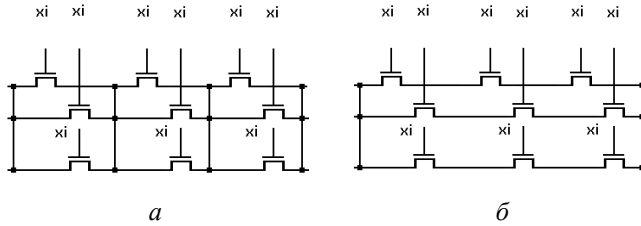


Рис. 11. Резервирование транзисторов по функции:

Для парирования трёх отказов рекомендуется использовать функции (21), (22):

$$f_{3,1} = (x_i \vee x_i \vee x_i \vee x_i)(x_i \vee x_i \vee x_i \vee x_i) \times (x_i \vee x_i \vee x_i \vee x_i)(x_i \vee x_i \vee x_i \vee x_i), \quad (22)$$

$$f_{3,2} = x_i x_i x_i x_i \vee x_i x_i x_i x_i \vee x_i x_i x_i x_i \vee x_i x_i x_i x_i. \quad (23)$$

Таким образом, для транзисторной реализации самосинхронного сумматора при экспоненциальной модели отказов имеем

$$P_1 = e^{-(40)\lambda t}. \quad (24)$$

Оценим классическое троирование (мажоритирование) самосинхронного сумматора, причём для мажоритирования будем использовать схему реализации функции преноса.

Получаем (нужно два мажоритара):

$$P_3 = (3e^{-2(40)\lambda t} - 2e^{-3(40)\lambda t})e^{-20\lambda t} \cdot e^{-20\lambda t}. \quad (25)$$

При мажоритировании самих схем мажоритирования:

$$P_{3,3} = (3e^{-2(40)\lambda t} - 2e^{-3(40)\lambda t})(3e^{-2\cdot 20\lambda t} - 2e^{-3\cdot 20\lambda t})(3e^{-2\cdot 20\lambda t} - 2e^{-3\cdot 20\lambda t}). \quad (26)$$

Оценим вариант *повышения* отказоустойчивости путём введения избыточных базисов-транзисторных структур (см. рис. 10):

$$P(t)_{fct} = [e^{-4\lambda t} + 4e^{-3\lambda t} (1 - e^{-\lambda t})]^{4(40)}. \quad (27)$$

Получим соответствующие графики (рис. 12–14).

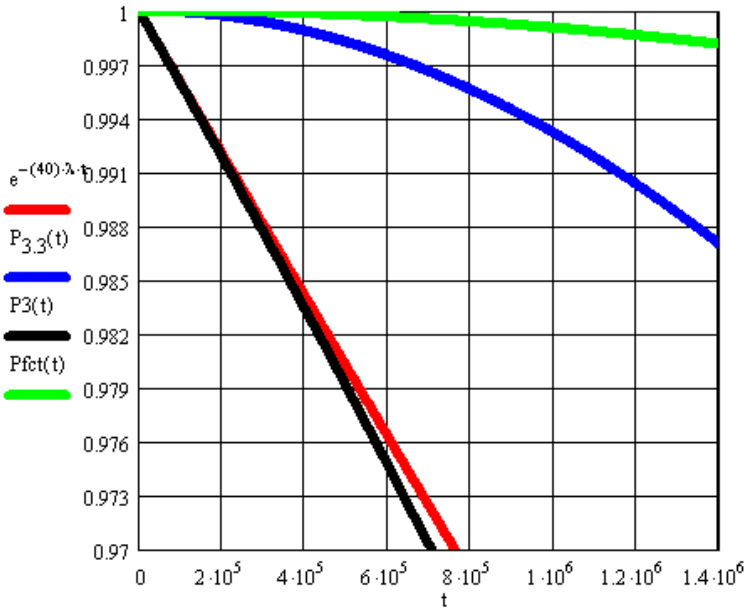


Рис. 12. Графики сравнения вариантов (23)–(26) отказоустойчивой реализации самосинхронного сумматора,  $\lambda = 10^{-9}$  1/ч

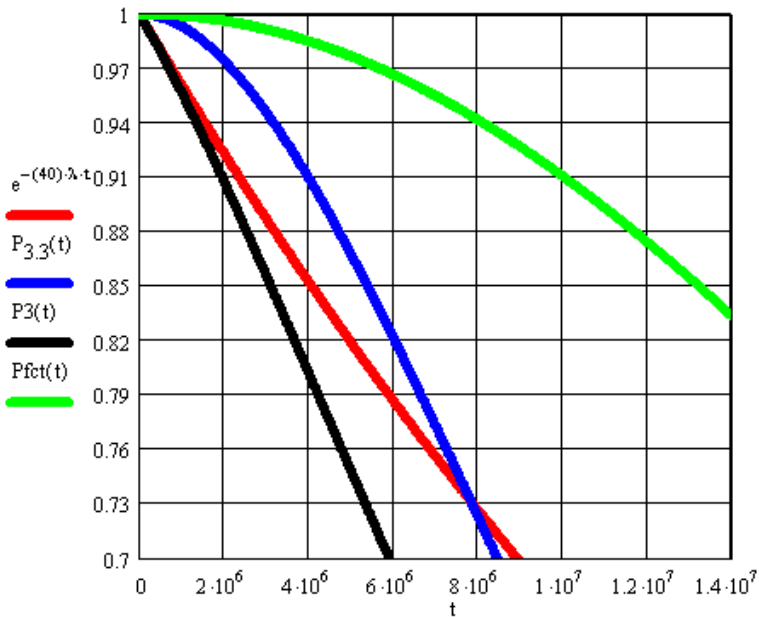


Рис. 13. Графики сравнения вариантов (23)–(26) отказоустойчивой реализации самосинхронного сумматора до вероятности 0,7;  $\lambda = 10^{-9}$  1/ч

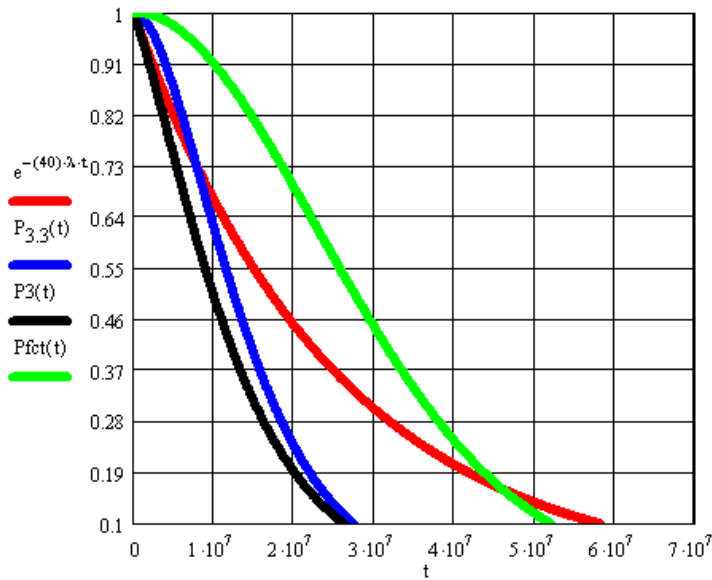


Рис. 14. Графики сравнения вариантов (23)–(26) отказоустойчивой реализации самосинхронного сумматора до вероятности 0,1;  $\lambda = 10^{-9}$  1/ч

При этом сложность резервирования вариантов определяется:

– для нерезервированного самосинхронного сумматора:

$$L_1 = 40; \quad (28)$$

– при троировании (необходимо два мажоритарара по каждой функции) получим:

$$L_3 = 3(40) + 20 + 20 = 160; \quad (29)$$

– при троировании сумматора и троировании мажоритарных схем получим:

$$L_{3,3} = 3(40) + 3 \cdot 40 = 240; \quad (30)$$

– вариант использования избыточного базиса:

$$L_{fct} = 4(40) = 160. \quad (31)$$

**Заключение.** Таким образом, анализ показал, что «заказная» транзисторная реализация двоичного сумматора с парафазными входами и парафазными выходами, приведённая в библиотеке самосинхронных элементов [4], в два раза проще по количеству транзисторов даже по отношению к реализации в избыточном базисе 2И-2ИЛИ-НЕ (40 транзисторов против 80 транзисторов). Это позволяет получить

большую вероятность безотказной работы. Исследование вариантов повышения отказоустойчивости самосинхронного сумматора, например для радиационно-стойкой аппаратуры, путём введения избыточности позволяет сделать вывод о предпочтительности использования предлагаемых избыточных транзисторных структур для парирования отказов и сбоев транзисторов. Выигрыш достигается не только в вероятности безотказной работы, но и в сложности по числу транзисторов. Причём вариант троирования с одним мажоритаром по каждой функции проигрывает даже нерезервированной исходной схеме. Вариант троирования с тремя мажоритарными по каждой функции проигрывает нерезервированной исходной схеме после достижения вероятности безотказной работы порядка 0,73.

### **Библиографический список**

1. Самосинхронный вычислитель для высоконадежных применений / Ю.А. Степченков [и др.] // Проблемы разработки перспективных микро- и нанoeлектронных систем (МЭС): сб. тр. всерос. науч.-техн. конф. / Ин-т проблем проектирования в микроэлектронике РАН. – М., 2010. – № 1.
2. Tyurin S.F. Retention of functional completeness of Boolean functions under «failures» of the arguments // Automation and Remote Control 60 (9 PART 2). – 1999. – P. 1360–1367.
3. Тюрин С.Ф., Каменских А.Н. Самосинхронный функционально-полный толерантный элемент // Вестник Ижевск. гос. техн. ун-та. – 2014. – № 1. – С. 116–120.
4. Библиотека самосинхронных элементов для технологии БМК / Ю.А. Степченков, Ю.Г. Дьяченко, Ф.И. Гринфельд, Н.В. Морозов, Л.П. Плеханов, А.Н. Денисов, О.П. Филимоненко, Ю.П. Фомин // Проблемы разработки перспективных микроэлектронных систем – 2006: сб. науч. тр. / под общ. ред. А.Л. Стемпковского; ИППМ РАН. – М., 2006. – С. 259–264.
5. Функционально-полный толерантный элемент: пат. Рос. Федерация / Тюрин С.Ф., Громов О.А., Греков А.В., Сулейманов А.А. – № 2496227; опубл. 20.10.2013, Бюл. № 29.
6. Tyurin S.F., Grekov A.V., Gromov O.A. The principle of recovery logic FPGA for critical applications by adapting to failures of logic elements // World Applied Sciences Journal. – 2013. – № 26 (3). – P. 328–332. doi: 10.5829/idosi.wasj.2013.26.03.13474.

7. Tyurin S.F., Gromov O.A. A residual basis search algorithm of fault-tolerant programmable logic integrated circuits // *Russian Electrical Engineering*. – 2013. – № 84 (11). – P. 647–651. doi: 10.3103/S1068371213110163.

8. Mayer D.C., Laco R.C. Designing Integrated Circuits to Withstand Space Radiation // *Crosslink*. – Vol. 4, № 2, available at: <http://www.aero.org/publications/crosslink/summer2003/06.html> (accessed 20 April 2014).

### References

1. Stepchenkov Yu.A. [et al.]. Samosinkhronnyi vychislitel' dlia vysokonadezhnykh primenenii [Self-timed calculator for high reliable applications]. *Sbornik trudov vsrossiiskoi nauchno-tehnicheskoi konferentsii "Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem (MES)"*. Moscow: Institut problem proektirovaniia v mikroelektronike Rossiiskoi akademii nauk, 2010, no. 1, pp. 418-423.

2. Tyurin S.F. Retention of functional completeness of Boolean functions under "failures" of the arguments. *Automation and Remote Control* 60 (9 PART 2), 1999, pp. 1360-1367.

3. Tiurin S.F., Kamenskikh A.N. Samosinkhronnyi funktsional'no-polnyi tolerantnyi element [Self-timed functionally-complete tolerant gate]. *Vestnik Izhevskogo gosudarstvennogo tekhnicheskogo universiteta*, 2014, no. 1, pp. 116-119.

4. Stepchenkov Iu.A. [et al.]. Biblioteka elementov dlia proektirovaniia samosinkhronnykh poluzakaznykh mikroskhem serii 5503/5507 i 5508/5509 [Gates library for designing of self-timed ASIC circuits using series of uncommitted Logic Array 5503/5507 and 5508/5509], Moscow, 2012. 1348 p.

5. Tyurin S.F., Gromov O.A., Grekov A.V., Suleimanov A.A. Funktsional'no-polnyi tolerantnyi element [Functionally complete tolerant element]. *Patent RF № 2496227*, 2013.

6. Tyurin S.F., Grekov A.V., Gromov O.A. The principle of recovery logic FPGA for critical applications by adapting to failures of logic elements. *World Applied Sciences Journal*, 2013, no. 26 (3), pp. 328-332. doi: 10.5829/idosi.wasj.2013.26.03.13474.

7. Tyurin S.F., Gromov O.A. A residual basis search algorithm of fault-tolerant programmable logic integrated circuits. *Russian Electrical Engineering*, 2013, no. 84 (11), pp. 647-651. doi: 10.3103/S1068371213110163.

8. Mayer D.C., Laco R.C. Designing Integrated Circuits to Withstand Space Radiation. *Crosslink*, vol. 4, no. 2, available at: <http://www.aero.org/publications/crosslink/summer2003/06.html> (accessed 20 April 2014).

### **Сведения об авторах**

**Тюрин Сергей Феофентович** (Пермь, Россия) – заслуженный изобретатель Российской Федерации, доктор технических наук, профессор кафедры автоматики и телемеханики Пермского национального исследовательского политехнического университета (614990, Пермь, Комсомольский пр., 29, e-mail: tyurinsergfeo@yandex.ru).

**Каменских Антон Николаевич** (Пермь, Россия) – ассистент кафедры автоматики и телемеханики Пермского национального исследовательского политехнического университета (614990, Пермь, Комсомольский пр., 29, e-mail: kmt@dom.raid.ru).

### **About the authors**

**Tyurin Sergey Feofentovich** (Perm, Russian Federation) is Honored Inventor of the Russian Federation, PhD in Engineering, Academician at the Department of Automation and Telemechanics Perm National Research Polytechnic University (614990, Perm, 29, Komsomolsky pr., e-mail: tyurinsergfeo@yandex.ru).

**Kamenskih Anton Nikolaevich** (Perm, Russian Federation) is an Assistant at the Department of Automation and Telemechanics Perm National Research Polytechnic University (614990, Perm, 29, Komsomolsky pr., e-mail: kmt@dom.raid.ru).

Получено 26.03.2014